

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1040 U.S. PTO
09/976021
10/15/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年10月27日

出 願 番 号
Application Number:

特願2000-328110

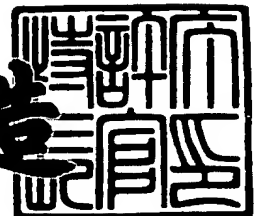
出 願 人
Applicant(s):

セイコーエプソン株式会社

2001年 8月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3077698

【書類名】 特許願

【整理番号】 PA04D708

【提出日】 平成12年10月27日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/10

【発明者】

 【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

 【氏名】 水垣 浩一

【発明者】

 【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

 【氏名】 大塚 栄太郎

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100096817

 【弁理士】

 【氏名又は名称】 五十嵐 孝雄

 【電話番号】 052-218-5061

【選任した代理人】

 【識別番号】 100097146

 【弁理士】

 【氏名又は名称】 下出 隆史

【選任した代理人】

 【識別番号】 100102750

 【弁理士】

 【氏名又は名称】 市川 浩

【選任した代理人】

【識別番号】 100109759

【弁理士】

【氏名又は名称】 加藤 光宏

【手数料の表示】

【予納台帳番号】 007847

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9502061

【包括委任状番号】 9904030

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリ装置内のワード線の活性化

【特許請求の範囲】

【請求項 1】 半導体メモリ装置であって、

ダイナミック型のメモリセルがマトリクス状に配列された少なくとも 1 つのメモリセルブロックと、

前記メモリセルブロック内の複数本のワード線のうちの 1 本を選択するための行アドレスを含むアドレスが入力されるアドレス入力部と、

前記アドレスに従って選択されるメモリセルに対応するデータを入出力するためのデータ入出力部と、

前記ワード線の活性化を制御するためのワード線活性化制御部と、
を備え、

前記ワード線活性化制御部は、

前記行アドレスに変化があるか否かを検出するための行アドレス遷移検出部を備えており、

前記ワード線活性化制御部は、

(a) 前記メモリセルに対し、データの読み出しと書き込みとの少なくとも一方が可能なサイクルであって、同じ行アドレスを含むアドレスを用いる前記サイクルが連続し、前記連続するサイクルにおいて前記行アドレスの変化が前記行アドレス遷移検出部によって検出されない第 1 の場合には、

前記連続するサイクルのうちの最初のサイクルにおいて活性化されたワード線を、非活性化することなく前記連続するサイクルのうちの最終のサイクルまで活性化した状態で保持することが可能であり、

(b) 前記最初のサイクルより後で前記最終のサイクル以前のサイクルにおいてリフレッシュが実行される第 2 の場合には、

前記活性化状態のワード線を、前記リフレッシュが実行される前に非活性化させることを特徴とする半導体メモリ装置。

【請求項 2】 請求項 1 記載の半導体メモリ装置であって、

前記アドレス入力部には、前記行アドレスとともに列アドレスも同時に入力さ

れ、

前記行アドレスは、複数ビットで構成される前記アドレスのうちの最も上位にある複数のビットに割り当てられている、半導体メモリ装置。

【請求項 3】 請求項 1 または 2 記載の半導体メモリ装置であって、

前記半導体メモリ装置には、前記メモリセルブロックが複数設けられており、

前記アドレスは、前記複数のメモリセルブロックのうちの任意の 1 つのメモリセルブロックを選択するためのブロックアドレスを含んでおり、

前記ワード線活性化制御部は、

前記第 1 の場合には、

前記最初のサイクルにおいて活性化された第 1 のメモリセルブロック内のワード線を、非活性化することなく前記最終のサイクルまで活性化した状態で保持することが可能であるとともに、

さらに、前記最初のサイクルより後で前記最終のサイクル以前の任意のサイクルにおいて、前記第 1 のメモリセルブロックとは異なる任意の第 2 のメモリセルブロック内のメモリセルに対し、データの読み出しまたは書き込みを実行した場合には、

前記任意のサイクルにおいて活性化された前記第 2 のメモリセルブロック内のワード線を、非活性化することなく前記最終のサイクルまで活性化した状態で保持することが可能であり、

前記第 2 の場合には、

前記第 1 のメモリセルブロック内の活性化状態のワード線を、前記第 1 のメモリセルブロックにおいて前記リフレッシュが実行される前に非活性化させるとともに、

さらに、前記第 2 のメモリセルブロック内に活性化状態のワード線が含まれる場合には、

前記第 2 のメモリセルブロック内の活性化状態のワード線を、前記第 2 のメモリセルブロックにおいて前記リフレッシュが実行される前に非活性化させる、半導体メモリ装置。

【請求項 4】 請求項 3 記載の半導体メモリ装置であって、

前記リフレッシュは、前記複数のメモリセルブロックの中の1つのメモリセルブロックにおいてデータの読み出しまたは書き込みが実行されるサイクルでは、前記データの読み出しまたは書き込みが実行されるメモリセルブロック以外のメモリセルブロックにおいて実行され、前記データの読み出しまたは書き込みが実行されるメモリセルブロックに関しては、当該読み出しまたは書き込みが終了した後のサイクルで実行され、

前記ワード線活性化制御部は、

前記リフレッシュが実行される各メモリセルブロック内に活性化状態のワード線が含まれる場合には、当該活性化状態のワード線を、各メモリセルブロックにおいて前記リフレッシュが実行される直前に非活性化させる、半導体メモリ装置

【請求項5】 ダイナミック型のメモリセルがマトリクス状に配列された少なくとも1つのメモリセルブロックと、前記メモリセルブロック内の複数本のワード線のうちの1本を選択するための行アドレスを含むアドレスが入力されるアドレス入力部と、前記アドレスに従って選択されるメモリセルに対応するデータを入出力するためのデータ入出力部と、を備える半導体メモリ装置において、前記ワード線の活性化を制御するための方法であって、

(a) 前記メモリセルに対し、データの読み出しと書き込みとの少なくとも一方が可能なサイクルであって、同じ行アドレスを含むアドレスを用いる前記サイクルが連続し、前記連続するサイクルにおいて前記行アドレスの変化が検出されない第1の場合には、

前記連続するサイクルのうちの最初のサイクルにおいて活性化されたワード線を、非活性化することなく前記連続するサイクルのうちの最終のサイクルまで活性化した状態で保持することが可能であり、

(b) 前記最初のサイクルより後で前記最終のサイクル以前のサイクルにおいてリフレッシュが実行される第2の場合には、

前記活性化状態のワード線を、前記リフレッシュが実行される前に非活性化させることを特徴とするワード線の活性化制御方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、半導体メモリ装置内のワード線の活性化制御に関する。

【 0 0 0 2 】

【従来の技術】

半導体メモリ装置としては、DRAMやSRAMが用いられている。良く知られているように、DRAMはSRAMに比べて安価で大容量であるが、リフレッシュ動作が必要である。一方、SRAMはリフレッシュ動作は不要で使い易いが、DRAMに比べて高価であり、また容量が小さい。

【 0 0 0 3 】

DRAMとSRAMの利点を両方備えた半導体メモリ装置として、擬似SRAM（VSRAMあるいはPSRAMと呼ばれる）が知られている。擬似SRAMは、DRAMと同じダイナミック型メモリセルを含むメモリセルアレイを備えているとともに、リフレッシュ制御部を内蔵しており、リフレッシュ動作を内部で実行している。このため、擬似SRAMに接続される外部装置（例えばCPU）は、リフレッシュ動作を意識せずに擬似SRAMにアクセス（データの読み出しや書き込み）することが可能である。このような擬似SRAMの特徴は、「リフレッシュの透過性」と呼ばれる。

【 0 0 0 4 】

【発明が解決しようとする課題】

ところで、擬似SRAMにおいてアクセスが実行されるサイクルでは、サイクル毎に、アドレスによって選択されるワード線が活性化および非活性化されている。しかしながら、連続するサイクルで同一のワード線が活性化される場合などに、サイクル毎にワード線の活性化および非活性化を繰り返すと、電流が無駄に消費されるという問題があった。なお、これは、擬似SRAMに限らず、サイクル毎にワード線の活性化および非活性化を繰り返す半導体メモリ装置に共通する問題である。

【 0 0 0 5 】

この発明は、上述した従来の課題を解決するためになされたものであり、半導

体メモリ装置内のワード線の活性化に伴う消費電流を低減することのできる技術を提供することを目的とする。

【 0 0 0 6 】

【課題を解決するための手段およびその作用・効果】

上記目的を達成するために、本発明の装置は、半導体メモリ装置であって、ダイナミック型のメモリセルがマトリクス状に配列された少なくとも1つのメモリセルブロックと、

前記メモリセルブロック内の複数本のワード線のうちの1本を選択するための行アドレスを含むアドレスが入力されるアドレス入力部と、

前記アドレスに従って選択されるメモリセルに対応するデータを入出力するためのデータ入出力部と、

前記ワード線の活性化を制御するためのワード線活性化制御部と、を備え、

前記ワード線活性化制御部は、

前記行アドレスに変化があるか否かを検出するための行アドレス遷移検出部を備えており、

前記ワード線活性化制御部は、

(a) 前記メモリセルに対し、データの読み出しと書き込みとの少なくとも一方が可能なサイクルであって、同じ行アドレスを含むアドレスを用いる前記サイクルが連続し、前記連続するサイクルにおいて前記行アドレスの変化が前記行アドレス遷移検出部によって検出されない第1の場合には、

前記連続するサイクルのうちの最初のサイクルにおいて活性化されたワード線を、非活性化することなく前記連続するサイクルのうちの最終のサイクルまで活性化した状態で保持することが可能であり、

(b) 前記最初のサイクルより後で前記最終のサイクル以前のサイクルにおいてリフレッシュが実行される第2の場合には、

前記活性化状態のワード線を、前記リフレッシュが実行される前に非活性化させることを特徴とする。

【 0 0 0 7 】

なお、最初のサイクルより後で最終のサイクル以前のリフレッシュが実行されるサイクルは、最終のサイクルと異なるサイクルであってもよいし、最終のサイクルであってもよい。

【 0 0 0 8 】

この半導体メモリ装置では、ワード線活性化制御部が備えられており、ワード線活性化制御部は、同じ行アドレスを含むアドレスを用いるサイクルが連続する場合には、最初のサイクルで活性化されたワード線を、同じ行アドレスが用いられる最終のサイクルまで活性化した状態で保持することができる。そして、ワード線活性化制御部は、リフレッシュが必要となったときには、活性化状態のワード線を最終のサイクルの終了を待たずに非活性化させることができる。

【 0 0 0 9 】

このようなワード線活性化制御部を用いれば、半導体メモリ装置においてリフレッシュを実行することができ、また、リフレッシュが実行されない期間では、サイクル毎にワード線の活性化および非活性化を繰り返す必要がないため、ワード線の活性化に伴う消費電流を低減することが可能となる。

【 0 0 1 0 】

なお、この装置を用いる効果は、最初のサイクルから最終のサイクルまでの複数のサイクルのうち、2以上のサイクルにおいて、活性化されたワード線上のメモリセルに対してデータの読み出しや書き込みが行われる場合に、顕著となる。

【 0 0 1 1 】

上記の装置において、

前記アドレス入力部には、前記行アドレスとともに列アドレスも同時に入力され、

前記行アドレスは、複数ビットで構成される前記アドレスのうちの最も上位にある複数のビットに割り当てられていることが好ましい。

【 0 0 1 2 】

このように、行アドレスを最も上位にある複数のビットに割り当てれば、行アドレスが比較的变化しにくくなるので、ワード線が活性化した状態で保持される頻度を高めることができ、この結果、ワード線の活性化に伴う消費電流を低減す

ることが可能となる。

【 0 0 1 3 】

上記の装置において、

前記半導体メモリ装置には、前記メモリセルブロックが複数設けられており、

前記アドレスは、前記複数のメモリセルブロックのうちの任意の1つのメモリセルブロックを選択するためのブロックアドレスを含んでおり、

前記ワード線活性化制御部は、

前記第1の場合には、

前記最初のサイクルにおいて活性化された第1のメモリセルブロック内のワード線を、非活性化することなく前記最終のサイクルまで活性化した状態で保持することが可能であるとともに、

さらに、前記最初のサイクルより後で前記最終のサイクル以前の任意のサイクルにおいて、前記第1のメモリセルブロックとは異なる任意の第2のメモリセルブロック内のメモリセルに対し、データの読み出しまたは書き込みを実行した場合には、

前記任意のサイクルにおいて活性化された前記第2のメモリセルブロック内のワード線を、非活性化することなく前記最終のサイクルまで活性化した状態で保持することが可能であり、

前記第2の場合には、

前記第1のメモリセルブロック内の活性化状態のワード線を、前記第1のメモリセルブロックにおいて前記リフレッシュが実行される前に非活性化させるとともに、

さらに、前記第2のメモリセルブロック内に活性化状態のワード線が含まれる場合には、

前記第2のメモリセルブロック内の活性化状態のワード線を、前記第2のメモリセルブロックにおいて前記リフレッシュが実行される前に非活性化させるようにしてもよい。

【 0 0 1 4 】

なお、最初のサイクルより後で最終のサイクル以前の任意のサイクルは、最終

のサイクルと異なるサイクルであってもよいし、最終のサイクルであってもよい。

【0015】

このように、複数のメモリセルブロックが設けられている場合には、ワード線活性化制御部は、2以上のメモリセルブロックの中のワード線を同時に活性化した状態で保持することができる。そして、リフレッシュが必要となったときには、各メモリセルブロックにおいてリフレッシュが実行される前に、各メモリセルブロック内の活性化状態のワード線を活性化することができる。

【0016】

このようなワード線活性化制御部を用いれば、半導体メモリ装置においてリフレッシュを実行することができるとともに、リフレッシュが実行されない期間では、活性化されたワード線上のメモリセルに対して、データの読み出しや書き込みが行われる頻度を高めることができる。この結果、ワード線の活性化に伴う消費電流をかなり低減することが可能となる。

【0017】

上記の装置において、

前記リフレッシュは、前記複数のメモリセルブロックの中の1つのメモリセルブロックにおいてデータの読み出しまたは書き込みが実行されるサイクルでは、前記データの読み出しまたは書き込みが実行されるメモリセルブロック以外のメモリセルブロックにおいて実行され、前記データの読み出しまたは書き込みが実行されるメモリセルブロックに関しては、当該読み出しまたは書き込みが終了した後のサイクルで実行され、

前記ワード線活性化制御部は、

前記リフレッシュが実行される各メモリセルブロック内に活性化状態のワード線が含まれる場合には、当該活性化状態のワード線を、各メモリセルブロックにおいて前記リフレッシュが実行される直前に非活性化させることが好ましい。

【0018】

こうすれば、複数のメモリセルブロックの中の1つにおいてデータの読み出しまたは書き込みを実行するとともに、他のメモリセルブロックにおいてリフレッ

シユを実行することができるので、半導体メモリ装置におけるデータの読み出しまたは書き込みを比較的高速に行うことが可能となる。

【 0 0 1 9 】

また、本発明の方法は、ダイナミック型のメモリセルがマトリクス状に配列された少なくとも1つのメモリセルブロックと、前記メモリセルブロック内の複数本のワード線のうちの1本を選択するための行アドレスを含むアドレスが入力されるアドレス入力部と、前記アドレスに従って選択されるメモリセルに対応するデータを入出力するためのデータ入出力部と、を備える半導体メモリ装置において、前記ワード線の活性化を制御するための方法であって、

(a) 前記メモリセルに対し、データの読み出しと書き込みとの少なくとも一方が可能なサイクルであって、同じ行アドレスを含むアドレスを用いる前記サイクルが連続し、前記連続するサイクルにおいて前記行アドレスの変化が検出されない第1の場合には、

前記連続するサイクルのうちの最初のサイクルにおいて活性化されたワード線を、非活性化することなく前記連続するサイクルのうちの最終のサイクルまで活性化した状態で保持することが可能であり、

(b) 前記最初のサイクルより後で前記最終のサイクル以前のサイクルにおいてリフレッシュが実行される第2の場合には、

前記活性化状態のワード線を、前記リフレッシュが実行される前に非活性化させることを特徴とする。

【 0 0 2 0 】

この方法を用いる場合にも、本発明の装置を用いる場合と同様の作用・効果を奏し、半導体メモリ装置においてリフレッシュを実行することができるとともに、ワード線の活性化に伴う消費電流を低減することが可能となる。

【 0 0 2 1 】

なお、本発明は、種々の形態で実現することが可能であり、例えば、半導体メモリ装置、そのワード線の活性化制御方法、半導体メモリ装置と制御装置とを備えた半導体メモリシステム、半導体メモリ装置の制御方法、および、半導体メモリ装置を備えた電子機器等の形態で実現することができる。

【 0 0 2 2 】

【 発 明 の 実 施 の 形 態 】

次に、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

- A. メモリチップの端子構成と動作状態の概要：
- B. メモリチップ内部の全体構成：
- C. ワード線活性化制御部の内部構成：
- D. ワード線活性化制御部の動作：
 - D 1. オペレーションサイクルにおける動作（リフレッシュ要求が無い場合）：
 - D 2. オペレーションサイクルにおける動作（リフレッシュ要求がある場合）：
 - D 3. スタンバイサイクルおよびスヌーズ状態における動作：
- E. 電子機器への適用例：

【 0 0 2 3 】

- A. メモリチップの端子構成と動作状態の概要：

図 1 は、本発明の実施例としてのメモリチップ 3 0 0 の端子の構成を示す説明図である。メモリチップ 3 0 0 は、以下のような端子を有している。

【 0 0 2 4 】

- A 0 ～ A 1 9 ： アドレス入力端子（ 2 0 本），
- # C S ： チップセレクト入力端子，
- Z Z ： スヌーズ入力端子，
- # W E ： ライトイネーブル入力端子，
- # O E ： アウトプットイネーブル入力端子，
- # L B ： 下位バイトイネーブル入力端子，
- # U B ： 上位バイトイネーブル入力端子，
- I O 0 ～ I O 1 5 ： 入出力データ端子（ 1 6 本）。

【 0 0 2 5 】

なお、以下の説明では、端子名と信号名とに同じ符号を用いている。端子名（信号名）の先頭に「#」が付されているものは、負論理であることを意味している。アドレス入力端子 A 0 ～ A 1 9 と入出力データ端子 I O 0 ～ I O 1 5 はそれぞれ複数本設けられているが、図 1 では簡略化されて描かれている。

【0026】

このメモリチップ300は、通常の非同期型SRAMと同じ手順でアクセスすることが可能な擬似SRAM（VSRAM）として構成されている。ただし、SRAMと異なり、ダイナミック型のメモリセルが用いられているので、所定期間内にリフレッシュが必要となる。このため、メモリチップ300には、リフレッシュタイマ70を含むリフレッシュ制御部が内蔵されている。本明細書では、外部装置（制御装置）からのデータの読み出しや書き込みの動作を「外部アクセス」と呼び、内蔵されたリフレッシュ制御部によるリフレッシュ動作を「内部リフレッシュ」または単に「リフレッシュ」と呼ぶ。

【0027】

メモリチップ300の内部には、入力されたアドレスA0～A19の中のいずれか1ビット以上が変化したことを検出するためのアドレス遷移検出回路110が設けられている。そして、メモリチップ300内の回路は、アドレス遷移検出回路110から供給されるアドレス遷移信号に基づいて動作する。例えば、外部アクセスと内部リフレッシュとの調停は、アドレス遷移信号に基づいて行われる。なお、以下の説明では、アドレス遷移検出回路110を「ATD回路」と呼び、アドレス遷移信号を「ATD信号」と呼ぶ。

【0028】

図1に示すチップセレクト信号#CSとスヌーズ信号ZZは、メモリチップ300の動作状態を制御するための信号である。図2は、チップセレクト信号#CSとスヌーズ信号ZZの信号レベルに応じたメモリチップ300の動作状態の区分を示す説明図である。なお、本明細書において、「Hレベル」は2値信号の2つのレベルのうちの「1」レベルを意味し、「Lレベル」は「0」レベルを意味している。

【0029】

チップセレクト信号#CSがLレベル（アクティブ）でスヌーズ信号ZZがHレベルのときは、リード／ライト・オペレーションサイクル（以下、単に「オペレーションサイクル」または「リード／ライトサイクル」と呼ぶ）が行われる。オペレーションサイクルでは、外部アクセスの実行が可能であり、適時、内部リ

フレッシュが実行される。

【0030】

チップセレクト信号#CSとスヌーズ信号ZZが共にHレベルのときには、スタンバイサイクルが行われる。スタンバイサイクルでは、外部アクセスの実行が禁止されるため、すべてのワード線が非活性状態とされる。但し、内部リフレッシュが行われるときには、リフレッシュアドレスで指定されたワード線は活性化される。

【0031】

チップセレクト信号#CSがHレベル（非アクティブ）のときにスヌーズ信号ZZがLレベルになると、メモリチップ300はスヌーズ状態（「パワーダウン状態」とも呼ぶ）に移行する。スヌーズ状態では、リフレッシュ動作に必要な回路以外は停止している。スヌーズ状態での消費電力は極めて少ないので、メモリ内のデータのバックアップに適している。

【0032】

なお、リフレッシュ動作は、オペレーションサイクルとスタンバイサイクルでは第1のリフレッシュモードに従って実行され、スヌーズ状態では第2のリフレッシュモードに従って実行される。第1のリフレッシュモードでは、リフレッシュタイマ70がリフレッシュタイミング信号を発生した後に、ATD信号に同期してリフレッシュ動作が開始される。一方、第2のリフレッシュモードでは、リフレッシュタイマ70がリフレッシュタイミング信号を発生すると直ちにリフレッシュ動作が開始される。第2のリフレッシュモードでのリフレッシュ動作はATD信号と非同期に行われるので、アドレスA0～A19の入力は不要である。このように、このメモリチップ300は、3つの動作状態にそれぞれ適したリフレッシュモードに従ってリフレッシュを実行する。これらの2つのモードにおけるリフレッシュ動作の詳細については後述する。

【0033】

図1に示すアドレスA0～A19は、20ビットであり、1メガワードのアドレスを指定する。また、入出力データIO0～IO15は、1ワード分の16ビットのデータである。すなわち、アドレスA0～A19の1つの値は16ビット

(1ワード)に対応しており、一度に16ビットの入出力データIO0～IO15を入出力することができる。

【0034】

オペレーションサイクルにおいては、ライトイネーブル信号#WEがLレベルになるとライトサイクルが実行され、Hレベルになるとリードサイクルが実行される。また、アウトプットイネーブル信号#OEがLレベルになると、入出力データ端子IO0～IO15からの出力が可能になる。下位バイトイネーブル信号#LBや上位バイトイネーブル入力信号#UBは、1ワード(16ビット)の下位バイトと上位バイトとのうちのいずれか1バイトのみに関して読み出しや書き込みを行うための制御信号である。例えば、下位バイトイネーブル信号#LBをLレベルに設定し、上位バイトイネーブル信号#UBをHレベルに設定すると、1ワードの下位8ビットのみに関して読み出しや書き込みが行われる。なお、図1では、電源端子は省略されている。

【0035】

図3は、メモリチップ300の動作の概要を示すタイミングチャートである。図2に示した3つの動作状態(オペレーション、スタンバイ、スヌーズ)のいずれであるかは、チップセレクト信号#CSとスヌーズ信号ZZの変化に応じて、随時判断される。図3の最初の3つのサイクルは、オペレーションサイクルである。オペレーションサイクルでは、ライトイネーブル信号#WEのレベルに応じて読み出し(リードサイクル)と書き込み(ライトサイクル)のいずれかが実行される。なお、ATD信号の最短周期 T_c (すなわち、アドレスA0～A19の変化の最短周期)は、このメモリチップ300のサイクルタイム(「サイクル周期」とも呼ばれる)に相当する。サイクルタイム T_c は、例えば約50nsから約100nsの範囲の値に設定される。

【0036】

図3の4番目のサイクルでは、チップセレクト信号#CSがHレベルに立ち上がっているため、スタンバイサイクルが開始される。5番目のサイクルでは、さらに、スヌーズ信号ZZがLレベルに下がっているため、メモリチップ300はスヌーズ状態となる。なお、図3(a)に示すように、アドレスA0～A19が

変化しない場合には、A T D 信号は生成されない。

【 0 0 3 7 】

B. メモリチップ内部の全体構成：

図 4 は、メモリチップ 3 0 0 の内部構成を示すブロック図である。このメモリチップ 3 0 0 は、データ入出力バッファ 1 0 と、メモリセルアレイ 2 0 と、アドレスバッファ 6 0 とを備えている。

【 0 0 3 8 】

メモリセルアレイ 2 0 は、4 つのブロック 2 0 A ~ 2 0 D に区分されている。第 1 のブロック 2 0 A は、メモリセルサブアレイ 2 2 A と、行デコーダ 2 4 A と、列デコーダ 2 6 A と、ゲート 2 8 A とを備えている。他のブロック 2 0 B ~ 2 0 D も同様である。各ブロック 2 0 A ~ 2 0 D の構成はほぼ同じなので、以下では主に第 1 のブロック 2 0 A と、これに関連する他の回路について説明する。

【 0 0 3 9 】

1 つのブロック 2 0 A の構成は、典型的な D R A M のメモリセルアレイと同じである。すなわち、サブアレイ 2 2 A は、1 トランジスタ 1 キャパシタ型の複数のメモリセルがマトリクス状に配列されたものである。各メモリセルには、ワード線とビット線対（データ線対とも呼ばれる）とが接続されている。行デコーダ 2 4 A は、行ドライバを含んでおり、供給される行アドレスに従ってサブアレイ 2 2 A 内の複数本のワード線のうちの 1 本を選択して活性化する。列デコーダ 2 6 A は、列ドライバを含んでおり、供給される列アドレスに従ってサブアレイ 2 2 A 内の複数組のビット線対の中の 1 ワード（1 6 ビット）分のビット線対を同時に選択する。また、ゲート 2 8 A は、読み出し回路や書き込み回路を含んでおり、データ入出力バッファ 1 0 とサブアレイ 2 2 A と間のデータのやり取りを可能とする。なお、ブロック 2 0 A 内には、図示しないプリチャージ回路やセンスアンプなども設けられている。

【 0 0 4 0 】

アドレスバッファ 6 0 は、外部装置から与えられた 2 0 ビットのアドレス A 0 ~ A 1 9 を他の内部回路に供給する回路である。最も下位の 2 ビットのアドレス A 0 ~ A 1 は、4 つのブロック 2 0 A ~ 2 0 D のうちのいずれか 1 つを選択する

ためのブロックアドレスとして用いられる。また、ブロックアドレスA0～A1よりも上位の6ビットのアドレスA2～A7は列アドレスとして用いられ、最も上位の12ビットのアドレスA8～A19は行アドレスとして用いられる。従って、ブロックアドレスA0～A1によって4つのブロック20A～20Dのうちの1つが選択され、選択されたブロックの中から、列アドレスA2～A7と行アドレスA8～A19とによって1ワード（16ビット）分のメモリセルが選択される。選択されたメモリセルに対応する1ワード分のデータは、データ入出力バッファ10を介して読み出され、あるいは書き込まれる。すなわち、外部装置は、1つのアドレスA0～A19を入力することにより、1つのブロック内の1ワード分のメモリセルに同時にアクセスすることが可能である。

【0041】

各ブロック20A～20Dには、それぞれ、行プリデコーダ30A～30Dと、ブロックコントローラ40A～40Dと、リフレッシュ要求信号発生回路50A～50Dとがこの順に接続されている。メモリチップ300内には、さらに、リフレッシュタイマ70と、リフレッシュカウンタコントローラ90と、リフレッシュカウンタ100と、ATD（アドレス遷移検出）回路110と、行アドレス遷移検出回路130とが設けられている。

【0042】

ATD回路110は、外部装置から供給された20ビットのアドレスA0～A19の中のいずれか1ビット以上に変化があるか否か検出し、変化が検出されたときには、図3（a）に示すようなATD信号を生成する。

【0043】

図5は、ATD回路110の内部構成を示すブロック図である。ATD回路110は、20ビットのアドレスA0～A19の各ビットに対応した20個の遷移検出回路111と、20入力ORゲート118とを備えている。各遷移検出回路111は、インバータ112と、2つのパルス発生回路113、114と、ORゲート115とを有している。パルス発生回路113、114としては、例えばワンショットマルチバイブレータが使用される。

【0044】

第1のパルス発生回路113は、アドレスビットA0の立ち上がりエッジに応じて、所定のパルス幅を有するパルスを1つ生成する。また、インバータ112と第2のパルス発生回路114は、アドレスビットA0の立ち下がりエッジに応じて、所定のパルス幅を有するパルスを1つ生成する。したがって、ORゲート115からは、アドレスビットA0の立ち上がりエッジと立ち下がりエッジの各エッジ毎に、パルスが1つずつ出力される。これは、他のアドレスビットA1～A19についても同様である。

【0045】

20入力ORゲート118には、20個の遷移検出回路111の出力が入力されている。従って、20ビットの行アドレスA0～A19の中の1つ以上のビットのレベルが変化すると、ORゲート118からパルス状のATD信号が出力される。

【0046】

図4のリフレッシュタイマ70は、一定のリフレッシュ周期毎にリフレッシュタイミング信号RF TMを発生する回路である。リフレッシュタイマ70は、例えばリングオシレータによって構成される。リフレッシュ周期は、例えば約32 μ sに設定されている。

【0047】

リフレッシュ要求信号発生回路50A～50Dは、リフレッシュタイマ70から供給されるリフレッシュタイミング信号RF TMに応じて、各ブロック20A～20Dのためのリフレッシュ要求信号RFREQ0～RFREQ3を発生する。このリフレッシュ要求信号RFREQ0～RFREQ3は、対応するブロックコントローラ40A～40Dにそれぞれ供給される。

【0048】

ブロックコントローラ40A～40Dには、リフレッシュ要求信号RFREQ0～RFREQ3とともに、外部装置から与えられたブロックアドレスA0～A1が供給されている。リフレッシュ要求信号RFREQ0～RFREQ3は、4つのブロック20A～20Dにおいてリフレッシュ動作を開始すべきことを意味している。また、オペレーションサイクルでは、ブロックアドレスA0～A1は

、4つのブロック20A～20Dのいずれに外部アクセスが要求されているかを示している。そこで、ブロックコントローラ40A～40Dは、これらの信号RFREQ0～RFREQ3、A0～A1に応じて、4つのブロックに対する外部アクセスと内部リフレッシュとを調停する。この調停は、具体的には、外部アクセス実施信号#EX0～#EX3とリフレッシュ実施信号#RF0～#RF3との出力レベルをそれぞれ設定することによって行われる。

【0049】

行プリデコーダ30A～30Dは、外部アクセス実施信号#EX0～#EX3とリフレッシュ実施信号#RF0～#RF3のレベルに応じて、外部装置から与えられた行アドレスA8～A19と、リフレッシュカウンタ100から与えられたリフレッシュアドレスRFA8～RFA19とのうちの一方を選択して、行デコーダ24A～24Dに供給する。この2種類のアドレスA8～A19、RFA8～RFA19の選択は、行プリデコーダ毎に独立に行われる。例えば、第1のブロック20Aに対して外部アクセスの要求がある場合にリフレッシュの要求があったときには、第1の行プリデコーダ30Aは行アドレスA8～A19を選択して第1のブロック20Aに供給し、他の行プリデコーダ30B～30DはリフレッシュアドレスRFA8～RFA19を選択して対応するブロック20B～20Dにそれぞれ供給する。なお、第1の行プリデコーダ30Aは、第1のブロック20Aに対する外部アクセスの終了後に、リフレッシュアドレスRFA8～RFA19を第1のブロック20Aに供給する。

【0050】

なお、リフレッシュ要求信号発生回路50A～50Dと、ブロックコントローラ40A～40Dと、行プリデコーダ30A～30Dの構成および動作については、さらに後述する。

【0051】

リフレッシュカウンタコントローラ90は、4つのブロック20A～20Dのすべてにおいて、同一のリフレッシュアドレスRFA8～RFA19に従ってリフレッシュ動作が完了したか否かを検出する。この検出は、後述するように、4つのリフレッシュ要求信号RFREQ0～RFREQ3のレベル変化を調べるこ

とによって行われる。4つのブロック20A～20Dにおけるリフレッシュ動作が完了すると、リフレッシュカウンタコントローラ90は、リフレッシュカウンタ100にカウントアップ信号#CNTUPを供給する。リフレッシュカウンタ100は、このカウントアップ信号#CNTUPに応じてリフレッシュアドレスRFA8～RFA19の値を1つカウントアップする。

【0052】

メモリチップ300は、図4に示す回路の他に、チップセレクト信号#CSやスヌーズ信号ZZに従ってチップ内の回路の動作状態を制御するコントローラや、各種のイネーブル信号#WE、#OE、#LB、#UBに応じて入出力状態を制御するコントローラなどを有しているが、図4では、図示の便宜上省略されている。

【0053】

なお、図4のデータ入出力バッファ10とアドレスバッファ60とは、それぞれ本発明におけるデータ入出力部とアドレス入力部とに相当する。また、図4において、データ入出力バッファ10とアドレスバッファ60とメモリセルアレイ20とを除く回路部分(30A～30D, 40A～40D, 50A～50D, 70, 90, 100, 110, 130)は、メモリセルアレイ20内のワード線の活性化を制御しており、本発明のワード線活性化制御部に相当する。

【0054】

なお、ワード線活性化制御部は、メモリセルアレイ20のリフレッシュ動作を制御するリフレッシュ制御部としての機能も有している。特に、行プリデコーダ30A～30Dと、ブロックコントローラ40A～40Dと、リフレッシュ要求信号発生回路50A～50Dとで構成される回路部分は、内部リフレッシュと外部アクセスとの調停を行う調停回路としての機能を有している。

【0055】

C. ワード線活性化制御部の内部構成：

図6は、図4の第1のブロックコントローラ40Aの内部構成を示すブロック図である。なお、他のブロックコントローラ40B～40Dも図6と同じ構成を有している。

【 0 0 5 6 】

ブロックコントローラ 4 0 A は、外部アクセス実施信号 # E X 0 を発生させる外部アクセス実施信号発生回路 4 2 と、リフレッシュ実施信号 # R F 0 を発生させるリフレッシュ実施信号発生回路 4 4 と、リフレッシュ実施信号 # R F 0 に応じてリセット信号 R S T 0 を発生させるリセット信号発生回路 4 6 とを備えている。外部アクセス実施信号発生回路 4 2 およびリフレッシュ実施信号発生回路 4 4 には、それぞれ、チップセレクト信号 # C S と、ブロックアドレス A 0 ~ A 1 と、A T D 信号と、リフレッシュ要求信号発生回路 5 0 A からのリフレッシュ要求信号 R F R E Q 0 とが供給されている。また、外部アクセス実施信号発生回路 4 2 には、行アドレス遷移検出回路（以下、「R A T D 回路」とも呼ぶ）1 3 0 から行アドレス遷移信号 R A T （以下、「R A T 信号」と呼ぶ）が供給されている。

【 0 0 5 7 】

リフレッシュ要求信号発生回路 5 0 A には、スヌーズ信号 Z Z とリフレッシュタイミング信号 R F T M と A T D 信号とが入力されている。リフレッシュ要求信号発生回路 5 0 A は、スヌーズ信号 Z Z が L レベルのとき（すなわち、スヌーズ状態）には、リフレッシュタイミング信号 R F T M の立ち上がりエッジに応じて直ちにリフレッシュ要求信号 R F R E Q 0 を H レベルに立ち上げる。一方、スヌーズ信号 Z Z が H レベル（すなわち、オペレーションサイクルおよびスタンバイサイクル）のときには、リフレッシュタイミング信号 R F T M が立ち上がった後に発生する A T D 信号の立ち上がりエッジに応じてリフレッシュ要求信号 R F R E Q 0 を H レベルに立ち上げる。

【 0 0 5 8 】

行アドレス遷移検出回路（R A T D 回路）1 3 0 は、外部装置から供給された 1 2 ビットの行アドレス A 8 ~ A 1 9 の中のいずれか 1 ビット以上に変化があるか否か検出し、変化が検出されたときには、R A T 信号を出力する回路である。なお、R A T D 回路 1 3 0 は、図 5 に示す A T D 回路 1 1 0 と同様に構成されており、R A T D 回路 1 3 0 には、アドレス A 0 ~ A 1 9 のうちの行アドレス A 8 ~ A 1 9 のみが入力されている。図 4 に示すように、この R A T 信号は、4 つの

ブロックコントローラ 4 0 A ~ 4 0 D にそれぞれ供給されている。

【 0 0 5 9 】

図 7 は、図 6 の外部アクセス実施信号発生回路 4 2 の内部構成を示すブロック図である。外部アクセス実施信号発生回路 4 2 は、RS ラッチ 4 1 0 およびインバータ 4 1 1 と、セット信号生成回路 4 2 0 と、リセット信号生成回路 4 3 0 とを備えている。セット信号生成回路 4 2 0 からの出力信号 Q 4 2 0 は RS ラッチ 4 1 0 のセット端子 S に入力され、リセット信号生成回路 4 3 0 からの出力信号 Q 4 3 0 は RS ラッチ 4 1 0 のリセット端子 R に入力される。

【 0 0 6 0 】

セット信号生成回路 4 2 0 は、インバータ 4 2 1 とデコーダ 4 2 2 と 3 入力 AND ゲート 4 2 3 とパルス発生回路 4 2 4 とを備えている。デコーダ 4 2 2 は、供給されるブロックアドレス A 0 ~ A 1 の値が第 1 のブロック 2 0 A を示す " 0 " となる場合には、その出力を H レベルとし、他の場合には L レベルとする。3 入力 AND ゲート 4 2 6 には、A T D 信号と、インバータ 4 2 1 によって反転されたチップセレクト信号 # C S と、デコーダ 4 2 2 の出力信号とが入力されている。そして、AND ゲート 4 2 3 の出力は、パルス発生回路 4 2 4 に与えられる。

【 0 0 6 1 】

セット信号生成回路 4 2 0 は、A T D 信号に同期して、第 1 のブロックコントローラ 4 0 A に関連する第 1 のブロック 2 0 A に対して外部アクセスが要求されているか否かを判断する。すなわち、セット信号生成回路 4 2 0 は、チップセレクト信号 # C S が L レベル（アクティブ）であり、かつ、ブロックアドレス A 0 ~ A 1 の値が " 0 " のときには、ブロック 2 0 A に対して外部アクセスが要求されているものと判断し、RS ラッチ 4 1 0 のセット端子 S にパルス信号 Q 4 2 0 を供給する。RS ラッチ 4 1 0 およびインバータ 4 1 1 は、パルス信号 Q 4 2 0 に従って外部アクセス実施信号 # E X 0 をアクティブ（L レベル）に設定する。なお、外部アクセス実施信号 # E X 0 がアクティブ（L レベル）になると、ブロック 2 0 A（図 4）内の行アドレス A 8 ~ A 1 9 によって選択されたワード線が活性化され、外部アクセスが実施される。

【 0 0 6 2 】

リセット信号生成回路 4 3 0 は、インバータ 4 3 1 と AND ゲート 4 3 2 と 3 入力 OR ゲート 4 3 6 と 2 つのパルス発生回路 4 3 4, 4 3 8 とを備えている。AND ゲート 4 3 2 には、インバータ 4 3 1 によって反転されたデコーダ 4 2 2 からの出力信号とリフレッシュ要求信号 R F R E Q 0 とが供給されている。第 1 のパルス発生回路 4 3 4 は、チップセレクト信号 # C S の立ち上がりエッジに伴いパルスを発生させる回路である。3 入力 OR ゲート 4 3 6 には、AND ゲート 4 3 2 の出力信号と、R A T 信号と、第 1 のパルス発生回路 4 3 4 の出力信号とが入力されている。そして、OR ゲート 4 3 6 の出力は、第 2 のパルス発生回路 4 3 8 に与えられる。

【 0 0 6 3 】

リセット信号生成回路 4 3 0 は、次の 3 つの場合に、R S ラッチ 4 1 0 のリセット端子 R にパルス信号 Q 4 3 0 を供給する。(1) 第 1 のブロック 2 0 A に対する外部アクセスの要求が無く、かつ、リフレッシュ要求があるとき。(2) 行アドレス A 8 ~ A 1 9 が変化したとき。(3) チップセレクト信号 # C S が H レベル (非アクティブ) に立ち上がったとき。R S ラッチ 4 1 0 およびインバータ 4 1 1 は、パルス信号 Q 4 3 0 に従って外部アクセス実施信号 # E X 0 を非アクティブ (H レベル) に設定する。

【 0 0 6 4 】

図 6 のリフレッシュ実施信号発生回路 4 4 も、第 1 のブロック 2 0 A への外部アクセスが要求されているか否かを判断して、リフレッシュ実施信号 # R F 0 の状態 (レベル) を設定する。すなわち、ブロック 2 0 A に対する外部アクセス要求が無く、かつ、リフレッシュ要求があるときには、リフレッシュ実施信号 # R F 0 はアクティブ (L レベル) に設定される。なお、リフレッシュ実施信号 # R F 0 がアクティブ (L レベル) になると、ブロック 2 0 A (図 4) 内のリフレッシュアドレス R F A 8 ~ R F A 1 9 によって選択されたワード線が活性化され、そのワード線上のすべてのメモリセルについてリフレッシュが実施される。ブロック 2 0 A に対する外部アクセス要求もリフレッシュ要求も無いときには、リフレッシュ実施信号 # R F 0 は非アクティブ (H レベル) に設定される。

【 0 0 6 5 】

また、ブロック 2 0 A に対する外部アクセスの要求がある場合には、リフレッシュ要求があっても、リフレッシュ実施信号 # R F 0 は非アクティブ（H レベル）に設定される。その後、リフレッシュ実施信号 # R F 0 は、ブロック 2 0 A に対する外部アクセスが終了するまで非アクティブ（H レベル）のまま保持され、外部アクセスが終了した後にアクティブ（L レベル）に設定される。こうしてリフレッシュ実施信号 # R F 0 がアクティブ（L レベル）になると、ブロック 2 0 A におけるリフレッシュ動作が開始される。

【 0 0 6 6 】

図 6 のリセット信号発生回路 4 6 は、リフレッシュ実施信号 # R F 0 の立ち上がりエッジに応じて、短パルス状のリセット信号 R S T 0 を発生する。このリセット信号発生回路 4 6 は、例えばワンショットマルチバイブレータで構成される。リフレッシュ要求信号発生回路 5 0 A は、リセット信号発生回路 4 6 から供給されたリセット信号 R S T 0 に従ってリフレッシュ要求信号 R F R E Q 0 を L レベルに戻す。これにより、ブロック 2 0 A に対するリフレッシュ要求が解除される。

【 0 0 6 7 】

なお、ブロックコントローラ 4 0 A の動作については、さらに、後述する。

【 0 0 6 8 】

ブロックコントローラ 4 0 A（図 6）から出力された外部アクセス実施信号 # E X 0 やリフレッシュ実施信号 # R F 0 は、ブロック 2 0 A 内の行プリデコーダ 3 0 A（図 4）に供給される。

【 0 0 6 9 】

図 8 は、図 4 の第 1 の行プリデコーダ 3 0 A の内部構成を示すブロック図である。行プリデコーダ 3 0 A は、2 つのスイッチ & ラッチ回路 3 4、3 6 と、判定回路 3 8 とを備えている。なお、他の行プリデコーダ 3 0 B ~ 3 0 D も図 8 と同じ構成を有している。

【 0 0 7 0 】

判定回路 3 8 には、ブロックコントローラ 4 0 A から外部アクセス実施信号 #

EX0とリフレッシュ実施信号#RF0とが供給されている。判定回路38は、第1のスイッチ&ラッチ回路34に外部アクセス実施信号#EX0に応じた制御信号LEXを供給し、第2のスイッチ&ラッチ回路36にリフレッシュ実施信号#RF0に応じた制御信号LRFを供給する。

【0071】

外部アクセス実施信号#EX0がアクティブ（Lレベル）の場合には、第1のスイッチ&ラッチ回路34は、制御信号LEXに従って、外部装置から供給された行アドレスA8～A19をラッチして第1のブロック20A内の行デコーダ24Aに供給する。また、この場合には、第2のスイッチ&ラッチ回路36は、制御信号LRFに従って、その出力を禁止している。

【0072】

一方、リフレッシュ実施信号#RF0がアクティブ（Lレベル）の場合には、第2のスイッチ&ラッチ回路36は、制御信号LRFに従って、リフレッシュカウンタ100（図4）から供給されたリフレッシュアドレスRFA8～RFA19をラッチして行デコーダ24Aに供給する。また、この場合には、第1のスイッチ&ラッチ回路34は、制御信号LEXに従って、その出力を禁止している。

【0073】

なお、ブロックコントローラ40A（図6）は、2つの実施信号#EX0、#RF0を同時にアクティブ（Lレベル）にすることが無いように構成されている。2つの実施信号#EX0、#RF0がいずれも非アクティブ（Hレベル）のときには、行プリデコーダ30Aは、行デコーダ24AにアドレスA8～A19、RFA8～RFA19を供給しない。

【0074】

このように、行プリデコーダ30Aは、2つの実施信号#EX0、#RF0のレベルに応じて、行アドレスA8～A19とリフレッシュアドレスRFA8～RFA19とのうちの一方を選択して、ブロック20A（図4）内の行デコーダ24Aに供給する。そして、行デコーダ24Aは、行プリデコーダ30Aから行アドレスA8～A19またはリフレッシュアドレスRFA8～RFA19が供給されているときに、各アドレスA8～A19またはRFA8～RFA19に従って

選択されるブロック 2 0 A 内の 1 本のワード線を活性化状態とする。

【 0 0 7 5 】

D. ワード線活性化制御部の動作：

D 1. オペレーションサイクルにおける動作（リフレッシュ要求が無い場合）：

図 9 は、オペレーションサイクルにおける第 1 のブロックコントローラ 4 0 A（図 6）の動作を示すタイミングチャートである。オペレーションサイクルでは、チップセレクト信号 # C S（図 9（b））が L レベル（アクティブ）となり、かつ、スヌーズ信号 Z Z（図 9（c））が H レベルとなる。時刻 $t_1 \sim t_7$ では、A T D 信号（図 9（a））の立ち上がりエッジが形成されており、各時刻から始まるオペレーションサイクルは 7 つ連続している。

【 0 0 7 6 】

図 9 は、オペレーションサイクルにおいて、リフレッシュ要求が無い場合、すなわち、図 6 のリフレッシュ要求信号発生回路 5 0 A に与えられるリフレッシュタイミング信号 R F T M（図 9（k））に立ち上がりエッジがない発生しない場合を示している。この場合には、第 1 のブロックコントローラ 4 0 A 内のリフレッシュ実施信号発生回路 4 4 に与えられるリフレッシュ要求信号 R F R E Q 0（図 9（l））は L レベルとなる。したがって、リフレッシュ実施信号発生回路 4 4 から出力されるリフレッシュ実施信号 # R F 0（図 9（m））は H レベル（非アクティブ）のままであり、リセット信号発生回路 4 6 から出力されるリセット信号 R S T 0（図 9（n））は L レベルのままである。

【 0 0 7 7 】

時刻 t_1 から始まる第 1 のサイクルでは、ブロックアドレス A 0 ~ A 1（図 9（d））の値が“ 0 ”となっており、第 1 のブロック 2 0 A に対する外部アクセスが要求されている。したがって、図 7 のセット信号生成回路 4 2 0 は、時刻 t_1 においてパルス信号 Q 4 2 0 を出力する（図 9（f））。そして、R S ラッチ 4 1 0 およびインバータ 4 1 1 は、パルス信号 Q 4 2 0 に応じて外部アクセス実施信号 # E X 0（図 9（j））を L レベル（アクティブ）に設定する。

【 0 0 7 8 】

時刻 t_2 から始まる第 2 のサイクルでは、ブロックアドレス A 0 ~ A 1 の値が

” 0 ” から第 2 のブロック 2 0 B を示す ” 1 ” に変化しており、第 1 のブロック 2 0 A に対する外部アクセスは要求されていない。また、行アドレス A 8 ～ A 1 9 (図 9 (e)) の値が ” p ” から ” q ” に変化している。したがって、図 6 の R A T D 回路 1 3 0 は、時刻 t 2 において行アドレスの変化を検出し、R A T 信号 (図 9 (g)) を出力する。そして、図 7 のリセット信号生成回路 4 3 0 は、R A T 信号に応じてパルス信号 Q 4 3 0 (図 9 (i)) を出力する。R S ラッチ 4 1 0 およびインバータ 4 1 1 は、パルス信号 Q 4 3 0 に応じて外部アクセス実施信号 # E X 0 を H レベル (非アクティブ) に設定する。

【 0 0 7 9 】

時刻 t 3 から始まる第 3 のサイクルでは、ブロックアドレス A 0 ～ A 1 の値が ” 0 ” に変化しており、第 1 のブロック 2 0 A に対する外部アクセスが要求されている。なお、行アドレス A 8 ～ A 1 9 の値は ” q ” のままである。このとき、第 1 のサイクルと同様に、パルス信号 Q 4 2 0 が出力されるので、外部アクセス実施信号 # E X 0 は L レベル (アクティブ) に設定される。

【 0 0 8 0 】

時刻 t 4 から始まる第 4 のサイクルでは、ブロックアドレス A 0 ～ A 1 の値が ” 1 ” に変化しており、第 1 のブロック 2 0 A に対する外部アクセスは要求されていない。しかしながら、行アドレス A 8 ～ A 1 9 の値は ” q ” のままで変化していないので、R A T 信号はパルスを含んでいない。このため、図 7 の R S ラッチ 4 1 0 およびインバータ 4 1 1 は、外部アクセス実施信号 # E X 0 を L レベル (アクティブ) のまま保持する。

【 0 0 8 1 】

時刻 t 5 から始まる第 5 のサイクルでは、ブロックアドレス A 0 ～ A 1 の値が ” 0 ” に変化しており、第 1 のブロック 2 0 A に対する外部アクセスが要求されている。このとき、第 1 および第 3 のサイクルと同様に、パルス信号 Q 4 2 0 が出力されるが、外部アクセス実施信号 # E X 0 は、既に L レベル (アクティブ) となっているので、L レベル (アクティブ) のまま保持される。

【 0 0 8 2 】

時刻 t 6 から始まる第 6 のサイクルでは、ブロックアドレス A 0 ～ A 1 の値が

” 0 ” のままであり、第 1 のブロック 2 0 A に対する外部アクセスが要求されている。そして、行アドレス A 8 ～ A 1 9 の値は ” q ” から ” r ” に変化している。このとき、第 2 のサイクルと同様に、R A T 信号が出力されるので、外部アクセス実施信号 # E X 0 が H レベル（非アクティブ）に設定される。そして、この後、第 1 および第 3 のサイクルと同様に、パルス信号 Q 4 2 0 が出力されるので、外部アクセス実施信号 # E X 0 は再度 L レベル（アクティブ）に設定される。

【 0 0 8 3 】

時刻 t 7 から始まる第 7 のサイクルでは、ブロックアドレス A 0 ～ A 1 の値が第 3 のブロック 2 0 C を示す ” 2 ” に変化しており、第 1 のブロック 2 0 A に対する外部アクセスは要求されていない。しかしながら、行アドレス A 8 ～ A 1 9 の値は ” r ” のまま変化していない。したがって、第 4 のサイクルと同様に、外部アクセス実施信号 # E X 0 は L レベル（アクティブ）のまま保持される。

【 0 0 8 4 】

時刻 t 8 の前に、チップセレクト信号 # C S は H レベル（非アクティブ）に立ち上がっている。このとき、図 7 のリセット信号生成回路 4 3 0 内の第 1 のパルス発生回路 4 3 4 はパルス信号 Q 4 3 4 （図 9 （ h ））を出力するので、リセット信号生成回路 4 3 0 からはパルス信号 Q 4 3 0 が出力される。これに応じて、外部アクセス実施信号 # E X 0 は H レベル（非アクティブ）に設定される。

【 0 0 8 5 】

図 9 の第 3 のサイクルに示すように、第 1 のブロックコントローラ 4 0 A は、第 1 のブロック 2 0 A に対する外部アクセスの要求があったときには、外部アクセス実施信号 # E X 0 を L レベル（アクティブ）に設定する。そして、第 3 ～ 第 5 のサイクルに示すように、第 1 のブロックコントローラ 4 0 A は、外部アクセス実施信号 # E X 0 を一旦 L レベル（アクティブ）に設定した後は、後続のサイクルで用いられるアドレス A 0 ～ A 1 9 のうち、行アドレス A 8 ～ A 1 9 が変化するまで L レベル（アクティブ）のまま保持する。

【 0 0 8 6 】

図 1 0 は、図 9 に示すオペレーションサイクルにおける各ブロックコントローラ 4 0 A ～ 4 0 D の動作を示すタイミングチャートである。図 1 0 （ a ） ～ （ e

）は、図9（a）～（e）と同じである。また、リフレッシュ要求が無い場合を仮定しているので、リフレッシュタイミング信号RFTM（図10（j））は、図9（k）と同じである。したがって、各ブロックコントローラ40A～40Dに入力されるリフレッシュ要求信号RFREQ0～RFREQ3（図10（k）～（n））と、各ブロックコントローラ40A～40Dから出力されるリフレッシュ実施信号#RF0～#RF3（図10（o）～（r））とは、それぞれ図9（l）、（m）と同じ信号レベルとなっている。

【0087】

図10（f）～（i）は、各ブロックコントローラ40A～40Dから出力される外部アクセス実施信号#EX0～#EX3を示しており、図10（f）は図9（j）と同じである。

【0088】

図示するように、第2のサイクルでは、ブロックアドレスA0～A1の値が第2のブロック20Bを示す”1”に変化しており、第2のブロック20Bに対する外部アクセスが要求されている。したがって、第2のブロックコントローラ40Bは、外部アクセス実施信号#EX1（図10（g））をLレベル（アクティブ）に設定する。また、第2のサイクルで用いられる行アドレスA8～A19の値”p”は、第5のサイクルまで”p”のまま変化していないので、第2のブロックコントローラ40Bは、時刻t2から始まる4つのサイクルで外部アクセス実施信号#EX1をLレベル（アクティブ）のまま保持している。なお、第3、第5のサイクルでは、外部アクセス実施信号#EX1はLレベル（アクティブ）で保持されているが、第2のブロック20Bに対して外部アクセスは要求されていない。

【0089】

また、第7のサイクルでは、ブロックアドレスA0～A1の値が第3のブロック20Cを示す”2”に変化しているので、第3のブロックコントローラ40Cは、外部アクセス実施信号#EX2（図10（h））をLレベル（アクティブ）に設定している。

【0090】

図10の第2～第6のサイクルに示すように、ブロックコントローラ40A～40Dは、すでに1つの外部アクセス信号がLレベル（アクティブ）に設定されている場合（図10（g））にも、他の外部アクセス実施信号をLレベル（アクティブ）に設定することができる（図10（f））。そして、各外部アクセス実施信号は一旦Lレベル（アクティブ）に設定されると、後続のサイクルで用いられるアドレスA0～A19のうち、行アドレスA8～A19が変化するまでLレベル（アクティブ）のまま保持される。

【0091】

なお、仮に、図10の第4のサイクルで、第3のブロック20Cに対する外部アクセス要求がある場合には、第3の外部アクセス実施信号#EX3もLレベル（アクティブ）に設定され、行アドレスA8～A19が変化するまでLレベル（アクティブ）のまま保持される。

【0092】

図11は、図10に示すオペレーションサイクルにおけるワード線の状態を示すタイミングチャートである。図11（a）～（e）は図10（a）～（e）と同じであり、図11（f）～（i）は図10（f）～（i）と同じであり、図11（j）～（m）は図10（o）～（r）と同じである。

【0093】

図11（n）～（q）は、各ブロック20A～20D（図4）のサブアレイ22A～22D内のワード線WLの状態を示している。なお、各サブアレイ内には、複数本のワード線が含まれているが、1つのサブアレイ内では2本以上のワード線は同時に活性化されない。例えば、図11（n）では、サブアレイ22A内で順次活性化される異なるワード線が同じタイミングチャート上に描かれている。Hレベルに立ち上がっているワード線WLp、WLq、WLrは、活性化された異なるワード線をそれぞれ示している。

【0094】

図12は、図11の各オペレーションサイクルにおける各サブアレイ22A～22D内の活性化されたワード線を模式的に示す説明図である。図12（A）～（G）は、それぞれ図11の時刻t1～t7から始まる第1～第7のオペレーシ

ョンサイクルにおける各サブアレイ 2 2 A ~ 2 2 D 内の様子を示している。なお、サブアレイ 2 2 A ~ 2 2 D 内の活性化されたワード線は横線で描かれている。また、サブアレイ 2 2 A ~ 2 2 D 内に描かれた縦線はビット線対を示しており、ワード線とビット線対との双方が描かれたサブアレイでは、ワード線とビット線対で選択された 1 ワード分のメモリセル（○印の部分）に対して外部アクセスが実施される。

【 0 0 9 5 】

第 1 のサイクルでは、図 1 1 (f) ~ (i) に示すように、第 1 の外部アクセス実施信号 # E X 0 のみが L レベル（アクティブ）に設定されている。したがって、第 1 のサイクルでは、図 1 1 (n) ~ (p) , 図 1 2 (A) に示すように、第 1 のサブアレイ 2 2 A 内の行アドレス A 8 ~ A 1 9 (図 1 1 (e)) によって選択された” p ” 番目のワード線 W L p のみが活性化され、他のサブアレイ 2 2 B ~ 2 2 D 内のワード線はいずれも活性化されない。なお、第 1 のサイクルでは、第 1 のブロック 2 0 A に対して外部アクセスが要求されているので（図 1 1 (d) ）、第 1 のサブアレイ 2 2 A 内のメモリセルに対して外部アクセスが実施される（図 1 2 (A) ）。

【 0 0 9 6 】

第 2 のサイクルでは、第 2 の外部アクセス実施信号 # E X 1 のみが L レベル（アクティブ）に設定されている。したがって、第 2 のサイクルでは、図 1 1 (n) ~ (p) , 図 1 2 (B) に示すように、第 1 のサブアレイ 2 2 A 内の” p ” 番目のワード線 W L p が非活性化され、第 2 のサブアレイ 2 2 B の” q ” 番目のワード線 W L q のみが活性化される。なお、第 2 のサイクルでは、第 2 のブロック 2 0 B に対して外部アクセスが要求されているので、第 2 のサブアレイ 2 2 B 内のメモリセルに対して外部アクセスが実施される（図 1 2 (B) ）。

【 0 0 9 7 】

第 3 のサイクルでは、第 2 の外部アクセス実施信号 # E X 1 が L レベル（アクティブ）に設定されたまま、第 1 の外部アクセス実施信号 # E X 0 も L レベル（アクティブ）に設定される。したがって、第 3 のサイクルでは、図 1 1 (n) ~ (p) , 図 1 2 (C) に示すように、第 2 のサブアレイ 2 2 B 内の” q ” 番目の

ワード線WL_qが活性化されたまま、第1のサブアレイ22A内の”q”番目のワード線WL_qが活性化される。なお、第3のサイクルでは、第1のブロック20Aに対して外部アクセスが要求されているので、第1のサブアレイ22A内のメモリセルに対しては外部アクセスが実施されるが、第2のサブアレイ22B内のメモリセルに対しては外部アクセスは実施されない（図12（C））。

【0098】

第4、第5のサイクルでは、2つの外部アクセス実施信号#EX0、#EX1が共にLレベル（アクティブ）に設定されたままである。したがって、第4、第5のサイクルでは、図11（n）～（p）、図12（D）、（E）に示すように、2つのサブアレイ22A、22B内の”q”番目のワード線WL_qが双方活性化されたままとなっている。ただし、第4のサイクルでは、第2のサブアレイ22B内のメモリセルに対してのみ外部アクセスが実施され（図12（D））、第5のサイクルでは、第1のサブアレイ22A内のメモリセルに対してのみ外部アクセスが実行される（図12（E））。

【0099】

第6のサイクルでは、第1の外部アクセス実施信号#EX0のみがLレベル（アクティブ）に設定されている。したがって、第6のサイクルでは、図11（n）～（p）、図12（F）に示すように、2つのサブアレイ22A、22B内の”q”番目のワード線WL_qが非活性化され、第1のサブアレイ22A内の”r”番目のワード線WL_rのみが活性化される。なお、第6のサイクルでは、第1のサブアレイ22A内のメモリセルに対して外部アクセスが実施される（図12（F））。

【0100】

第7のサイクルでは、第4のサイクルと同様に、第1の外部アクセス実施信号#EX0に加えて、第3の外部アクセス実施信号#EX2もLレベル（アクティブ）に設定されている。したがって、第7のサイクルでは、図11（n）～（p）、図12（G）に示すように、第1のサブアレイ22A内の”r”番目のワード線WL_rが活性化されたまま、第3のサブアレイ22C内の”r”番目のワード線WL_rが活性化される。なお、第7のサイクルでは、第3のサブアレイ22

C内のメモリセルに対してのみ外部アクセスが実行される（図12（G））。

【0101】

図9～図12で説明したように、各ブロックコントローラ40A～40Dは、あるブロックに対する外部アクセスが要求されると、そのブロックに対応する外部アクセス実施信号をアクティブに設定する。このとき、そのブロック内の行アドレスで選択されたワード線が活性化されて、活性化されたワード線上のメモリセルに対して外部アクセスが実施される。そして、各ブロックコントローラ40A～40Dは、一旦、アクティブ（Lレベル）に設定した外部アクセス実施信号を、後続のサイクルで用いられるアドレスA0～A19のうちの行アドレスA8～A19が変化するまで保持する。このとき、ワード線は活性化した状態で保持され、そのブロックに対する外部アクセスが再度要求されたサイクルでは、すでに活性化されたワード線上のメモリセルに対して外部アクセスが実施される。このようにすれば、ワード線の活性化および非活性化をサイクル毎に繰り返さなくて済むので、電流の消費をかなり低減させることが可能となる。

【0102】

このように、本実施例におけるワード線活性化制御部は、同じ行アドレスを含むアドレスを用いるオペレーションサイクルが連続する場合に、最初のサイクルにおいて活性化された第1のメモリセルブロック内のワード線を、非活性化することなく最終のサイクルまで活性化した状態で保持することができる。

【0103】

また、これと同時に、ワード線活性化制御部は、最初のサイクルより後で最終のサイクル以前のサイクルにおいて活性化された第2のメモリセルブロック内のワード線を、非活性化することなく最終のサイクルまで活性化した状態で保持することも可能である。このようにして、2以上のブロックにおいて、ワード線を同時に活性化した状態で保持する場合には、活性化されたワード線上のメモリセルに対して外部アクセスが実施される頻度を高めることができ、この結果、ワード線の活性化に伴う消費電流をかなり低減することが可能となる。

【0104】

なお、本実施例においては、行アドレスは、20ビットで構成されるアドレス

のうちの最も上位にある複数のビットに割り当てられているので、行アドレスが比較的变化しにくくなる。このようにすれば、ワード線が活性化した状態で保持される頻度を高めることができるので、ワード線の活性化に伴う消費電流をさらに低減することが可能となる。

【0105】

D2. オペレーションサイクルにおける動作（リフレッシュ要求がある場合）：

図13は、オペレーションサイクルにおいてリフレッシュ要求があった場合の第1のブロックコントローラ40A（図6）の動作を示すタイミングチャートであり、図9に対応する図である。図13は、図9の7つの連続するオペレーションサイクル期間中に、リフレッシュ要求があった場合の動作を示している。なお、図13（a）～（h）は、図9（a）～（h）と同じである。

【0106】

図13（k）に示すように、第2のサイクル期間中に、リフレッシュタイミング信号RFTMがHレベルに立ち上がっている。リフレッシュ要求信号発生回路50A（図6）は、ATD信号（図13（a））の次の立ち上がりエッジ（時刻t3）に同期して、リフレッシュ要求信号RFREQ0（図13（l））をHレベルに設定し、第1のブロック20Aに対してリフレッシュを要求する。なお、前述のように、リフレッシュ要求信号RFREQ0は、第1のブロック20Aにおいてリフレッシュが終了するまでHレベルに保たれる。

【0107】

第3のサイクルでは、リフレッシュ要求信号RFREQ0がHレベルに設定されており、第1のブロック20Aに対してリフレッシュが要求されているが、ブロックアドレスA0～A1の値が”0”となっており、第1のブロック20Aに対する外部アクセスが要求されている。このとき、外部アクセス実施信号#EX0（図13（j））はLレベル（アクティブ）に設定され、第1のブロック20Aでは外部アクセスが優先して実施される。

【0108】

第4のサイクルでは、ブロックアドレスA0～A1の値が”1”に変化しており、第1のブロック20Aに対して外部アクセスは要求されていない。また、第

4 のサイクルにおいて、リフレッシュ要求信号 R F R E Q 0 は H レベルに保持されており、第 1 のブロック 2 0 A に対するリフレッシュが要求されている。このとき、図 7 のリセット信号生成回路 4 3 0 内の AND ゲート 4 3 2 の出力は H レベルとなるので、リセット信号生成回路 4 3 0 からは、パルス信号 Q 4 3 0 (図 1 3 (i)) が出力される。そして、R S ラッチ 4 1 0 およびインバータ 4 1 1 は、パルス信号 Q 4 3 0 に応じて外部アクセス実施信号 # E X 0 を H レベル (非アクティブ) に設定する。

【 0 1 0 9 】

また、第 4 のサイクルでは、第 1 のブロック 2 0 A に対する外部アクセスの要求が無く、かつ、リフレッシュの要求があるので、図 6 のリフレッシュ実施信号発生回路 4 4 は、リフレッシュ実施信号 # R F 0 (図 1 3 (m)) を L レベル (アクティブ) に設定する。

【 0 1 1 0 】

なお、このとき、図 8 の第 1 の行プリデコーダ 3 0 A は、リフレッシュアドレス R F A 8 ~ R F A 1 9 を選択して第 1 の行デコーダ 2 4 A に供給する。したがって、第 1 のブロック 2 0 A では、リフレッシュアドレス R F A 8 ~ R F A 1 9 (図 1 3 (o)) によって選択された " n " 番目のワード線が活性化され、そのワード線上のすべてのメモリセルについてリフレッシュが実施される。

【 0 1 1 1 】

第 4 のサイクルにおいて、リフレッシュ動作を行うために十分な時間が経過すると、リフレッシュ実施信号発生回路 4 4 は、リフレッシュ実施信号 # R F 0 を H レベル (非アクティブ) に立ち上げる。リセット信号発生回路 4 6 は、リフレッシュ実施信号 # R F 0 の立ち上がりエッジに応じて短パルス状のリセット信号 R S T 0 (図 1 3 (n)) を発生する。そして、リフレッシュ要求信号発生回路 5 0 A (図 6) は、リセット信号 R S T 0 に応じて、リフレッシュ要求信号 R F R E Q を L レベルに戻す。これにより、第 1 のブロック 2 0 A に関するリフレッシュ動作が完了する。

【 0 1 1 2 】

なお、第 5 のサイクルでは、ブロックアドレス A 0 ~ A 1 の値が " 0 " に変化

しているので、外部アクセス実施信号 #EX0 は再度 L レベル（アクティブ）に設定される。

【 0 1 1 3 】

図 1 3 と図 9 とを比較して分かるように、第 1 のブロックコントローラ 4 0 A は、外部アクセスの要求がなく、かつ、リフレッシュ要求がある場合には、行アドレス A 8 ～ A 1 9 が変化しなくても、外部アクセス実施信号 #EX0 を H レベル（非アクティブ）に設定する。

【 0 1 1 4 】

図 1 4 は、図 1 3 に示すオペレーションサイクルにおける各ブロックコントローラ 4 0 A ～ 4 0 D の動作を示すタイミングチャートであり、図 1 0 に対応する図である。図 1 4 (a) ～ (e) は、図 1 3 (a) ～ (e) と同じである。図 1 4 (j) のリフレッシュタイミング信号 RFTM は図 1 3 (k) と同じであり、第 1 のブロックコントローラ 4 0 A に関する各信号 #EX0 (図 1 4 (f))、RFREQ0 (図 1 4 (k))、#RF0 (図 1 4 (o)) は、図 1 3 (j)、(l)、(m) と同じである。

【 0 1 1 5 】

リフレッシュタイミング信号 RFTM (図 1 4 (j)) が第 2 のサイクル期間中に H レベルに立ち上がると、第 3 のサイクルにおいて、すべてのリフレッシュ要求信号 RFREQ0 ～ RFREQ3 (図 1 4 (k) ～ (n)) が H レベルに設定され、各ブロック 2 0 A ～ 2 0 D に対するリフレッシュが要求される。

【 0 1 1 6 】

第 3 のサイクルでは、第 1 のブロック 2 0 A に対して外部アクセスが要求されているので、図 1 3 で説明したように、第 1 のブロック 2 0 A では外部アクセスが優先して実施される。一方、他の 3 つのブロック 2 0 B ～ 2 0 D に対して外部アクセスは要求されていないので、3 つのブロック 2 0 B ～ 2 0 D ではリフレッシュが実施される。すなわち、第 3 のサイクルでは、3 つの外部アクセス実施信号 #EX1 ～ #EX3 (図 1 4 (g) ～ (i)) が H レベル（非アクティブ）に設定されるとともに、3 つのリフレッシュ実施信号 #RF1 ～ #RF3 (図 1 4 (p) ～ (r)) が L レベル（アクティブ）に設定される。なお、第 3 のサイク

ルでは、3つのブロック20B～20D内のリフレッシュアドレスRFA8～RFA19（図14（t））によって選択された”n”番目のワード線が活性化され、そのワード線上のすべてのメモリセルについてリフレッシュが実施される。この後、リフレッシュ実施信号#RF1～#RF3がHレベルに立ち上がると、リフレッシュ要求信号RFREQ1～RFREQ3がLレベルに戻り、3つのブロック20B～20Dに関するリフレッシュ動作が完了する。

【0117】

なお、第4のサイクルでは、第2のブロック20Bに対する外部アクセスが要求されているので、第2の外部アクセス実施信号#EX1（図14（g））が再度Lレベル（アクティブ）に設定される。

【0118】

ところで、図13、図14で説明したように、各ブロック20A～20Dにおけるリフレッシュは、同じリフレッシュアドレスRFA8～RFA19（図14（t））に従って実施されている。すなわち、リフレッシュアドレスRFA8～RFA19の値”n”によって各ブロック20A～20D内のn番目のワード線が活性化され、n番目のワード線上のすべてのメモリセルがリフレッシュされる。なお、第1のブロック20Aにおけるリフレッシュは第4のサイクルで実施され、他のブロック20B～20Dにおけるリフレッシュは第3のサイクルで実施されており、各ブロックにおけるリフレッシュは、それぞれ1つのサイクル期間中に実施される。

【0119】

各ブロック20A～20Dにおけるリフレッシュ動作が完了すると、リフレッシュ要求信号RFREQ0～RFREQ3（図14（k）～（n））がそれぞれLレベルに戻る。図4のリフレッシュカウンタコントローラ90は、すべてのリフレッシュ要求信号RFREQ0～RFREQ3がLレベルに戻ると、カウントアップ信号#CNTUP（図14（s））を発生する。

【0120】

図15は、図4のリフレッシュカウンタコントローラ90の内部構成を示すブロック図である。このコントローラ90は、4入力NORゲート92と、NAN

Dゲート94と、遅延回路96と、インバータ98とを備えている。4入力NORゲート92には、4つのリフレッシュ要求信号RFREQ0～RFREQ3が入力されている。4入力NORゲート92の出力Q92は、NANDゲート94の一方の入力端子に入力されている。出力Q92は、さらに、遅延回路96で遅延され、インバータ98で反転された後に、NANDゲート94の他方の入力端子に入力されている。この構成から理解できるように、NANDゲート94から出力されるカウントアップ信号#CNTUPは、4つのリフレッシュ要求信号RFREQ0～RFREQ3が共にLレベルに立ち下がった後に、遅延回路96における遅延時間だけLレベルとなるようなパルス信号となる（図14（s））。

【0121】

リフレッシュカウンタ100（図4）は、このカウントアップ信号#CNTUPにに応じて、リフレッシュアドレスRFA8～RFA19（図14（t））の値を1つカウントアップする。従って、次のリフレッシュ動作は、“n+1”番目のワード線に関して行われる。

【0122】

図16は、図15に示すオペレーションサイクルにおけるワード線の状態を示すタイミングチャートであり、図11に対応する図である。図16（a）～（e）は図15（a）～（e）と同じであり、図16（f）～（i）は図15（f）～（i）と同じであり、図16（j）～（m）は図15（o）～（r）と同じである。また、図16（r）は図15（t）と同じである。

【0123】

図16（n）～（q）は、各ブロック20A～20D（図4）のサブアレイ22A～22D内のワード線WLの状態を示している。

【0124】

図17は、図16の各オペレーションサイクルにおける各サブアレイ22A～22D内の活性化されたワード線を模式的に示す説明図であり、図12に対応する図である。なお、図17は、図12とほぼ同じであり、サブアレイ22A～22Dの右上に「*」が付されたもののみが異なっている。また、サブアレイ22A～22D内に破線で描かれた横線は、リフレッシュを実施する際に活性化され

たワード線を示している。

【0125】

第3のサイクルでは、図16 (f) ~ (i) に示すように、第1の外部アクセス実施信号#EX0のみがLレベル（アクティブ）に設定されている。また、図16 (j) ~ (m) に示すように、第2ないし第4のリフレッシュ実施信号#RF1 ~ #RF3がLレベル（アクティブ）に設定されている。したがって、第3のサイクルでは、図16 (n) ~ (q), 図17 (C) に示すように、第1のサブアレイ22A内の行アドレスA8 ~ A19 (図16 (e)) によって選択される”q”番目のワード線WLqが活性化されるとともに、他のサブアレイ22B ~ 22D内のリフレッシュアドレスRFA8 ~ RFA19 (図16 (r)) によって選択される”n”番目のワード線WLnが活性化される。このとき、図16 (o) と図11 (o) とを比較して分かるように、第2のサブアレイ22B内では、”q”番目のワード線WLqが一旦非活性化された後に、”n”番目のワード線WLnが活性化される。

【0126】

なお、第3のサイクルでは、第1のサブアレイ22A内のメモリセルに対してのみ外部アクセスが実施され、第2ないし第4のサブアレイ22B ~ 22D内の”n”番目のワード線WLn上のすべてのメモリセルについてリフレッシュが実施される (図17 (C))。

【0127】

第4のサイクルでは、第2の外部アクセス実施信号#EX1のみがLレベル（アクティブ）に設定されている。また、第1のリフレッシュ実施信号#RF0 (図16 (o)) のみがLレベル（アクティブ）に設定されている。したがって、第4のサイクルでは、図16 (n) ~ (q), 図17 (D) に示すように、第2のサブアレイ22B内の”q”番目のワード線WLqが再度活性化されるとともに、第1のサブアレイ22A内のリフレッシュアドレスRFA8 ~ RFA19 によって選択される”n”番目のワード線WLnが活性化される。

【0128】

なお、第4のサイクルでは、第2のサブアレイ22B内のメモリセルに対して

のみ外部アクセスが実施され、第1のサブアレイ22A内の”n”番目のワード線WL_n上のすべてのメモリセルについてリフレッシュが実施される（図17（D））。

【0129】

このようにして、4つのブロック20A～20Dのサブアレイ22A～22D内において、同じリフレッシュアドレスRFA8～RFA19で指定される”n”番目のワード線上のすべてのメモリセルがリフレッシュされる。

【0130】

図13～図17で説明したように、各ブロックコントローラ40A～40Dは、リフレッシュが要求されると、外部アクセスが要求されている1つのブロック以外の他のブロックに対応するリフレッシュ実施信号をアクティブに設定する。このとき、他のブロック内では、活性化状態で保持されているワード線が非活性化される。その後、リフレッシュアドレスで選択されたワード線が活性化されて、そのワード線上のすべてのメモリセルに対してリフレッシュが実施される。

【0131】

そして、外部アクセスが実施される1つのブロックに関しては、そのブロックに対する外部アクセス要求が無くなった後に、リフレッシュ実施信号がアクティブに設定される。このとき、その1つのブロック内の活性化状態のワード線が非活性化される。この後、リフレッシュアドレスで選択されたワード線が活性化されて、その活性化されたワード線上のすべてのメモリセルに対してリフレッシュが実施される。

【0132】

このように、本実施例におけるワード線活性化制御部は、同じ行アドレスを含むアドレスを用いるオペレーションサイクルが連続する場合に、最初のサイクルにおいて活性化された第1のメモリセルブロック内のワード線を、非活性化することなく最終のサイクルまで活性化した状態で保持することができる。そして、ワード線活性化制御部は、最初のサイクルより後で最終のサイクル以前のサイクルにおいてリフレッシュが実行される場合には、活性化状態のワード線を、リフレッシュが実行される前に非活性化させることができる。このようにすれば、半

導体メモリ装置においてリフレッシュを実行することができるとともに、また、リフレッシュが実行されない期間では、サイクル毎にワード線の活性化および非活性化を繰り返す必要がないため、ワード線の活性化に伴う消費電流を低減することが可能となる。

【 0 1 3 3 】

また、これと同時に、ワード線活性化制御部は、最初のサイクルより後で最終のサイクル以前のサイクルにおいて活性化された第2のメモリセルブロック内のワード線を、非活性化することなく最終のサイクルまで活性化した状態で保持することも可能である。そして、ワード線活性化制御部は、最初のサイクルより後で最終のサイクル以前のサイクルにおいてリフレッシュが実行される場合には、第1のメモリセルブロック内の活性化状態のワード線を、第1のメモリセルブロックにおけるリフレッシュが実行される前に非活性化させる。また、第2のメモリセルブロック内に活性化状態のワード線が含まれる場合には、第2のメモリセルブロック内の活性化状態のワード線を、第2のメモリセルブロックにおけるリフレッシュが実行される前に非活性化させることができる。

【 0 1 3 4 】

このように、ワード線活性化制御部は、2以上のメモリセルブロックの中のワード線を同時に活性化した状態で保持することができ、リフレッシュが必要となったときには、各メモリセルブロックにおいてリフレッシュが実行される前に、各メモリセルブロック内の活性化状態のワード線を活性化することができる。

【 0 1 3 5 】

D 3. スタンバイサイクルおよびスヌーズ状態における動作：

オペレーションサイクルでは、図9～図17で説明したように、外部アクセスとともにリフレッシュが実施されるが、スタンバイサイクルとスヌーズ状態では、外部アクセスは実施されず、リフレッシュのみが実施される。

【 0 1 3 6 】

図18は、スタンバイサイクルにおける各ブロックコントローラ40A～40Dのリフレッシュ動作を示すタイミングチャートである。スタンバイサイクルでは、チップセレクト信号#CS（図18（b））がHレベル（非アクティブ）と

なり、かつ、スヌーズ信号ZZ（図18（c））がHレベルとなる。

【0137】

時刻t11においてリフレッシュタイミング信号RFTM（図18（j））が立ち上がる。その後、アドレスA0～A19（図18（d））が変化して、ATD信号のパルスが発生する（図18（a））。なお、スタンバイサイクルにおいては、原則として入出力アドレスA0～A19が変化する必要は無い。しかし、図2で説明したように、本実施例のスタンバイサイクルでは、ATD信号に同期してリフレッシュを実行する第1のリフレッシュモードが採用されている。そこで、外部装置は、スタンバイサイクルの期間中において、少なくとも1つのアドレスビット（例えばA0）を定期的に変化させて内部リフレッシュを実行させる。このようなアドレスビットの変化の周期は、リフレッシュタイミング信号RFTMで規定されるリフレッシュ周期の1/2以下であることが好ましい。この理由は、リフレッシュ周期の1/2以下の期間毎にアドレスビットが変化すれば、リフレッシュタイミング信号RFTMがHレベルの期間において必ずATD信号が発生するからである。

【0138】

リフレッシュタイミング信号RFTMが立ち上がると、ATD信号（図18（a））の次の立ち上がりエッジ（時刻t12）に同期して、各ブロック20A～20Dに対するリフレッシュ要求信号RFREQ0～RFREQ3（図18（k）～（n））がHレベルに立ち上がる。スタンバイサイクルでは、外部アクセスは行われないので、4つのブロック20A～20Dに対する外部アクセス要求信号#EX0～#EX3（図18（f）～（i））はHレベル（非アクティブ）に保持され、リフレッシュ実施信号#RF0～3（図18（o）～（r））はLレベル（アクティブ）に設定される。この結果、4つのブロック20A～20Dにおいて、同じリフレッシュアドレスRFA8～RFA19（図18（t））で指定される“n”番目のワード線上のすべてのメモリセルがリフレッシュされる。

【0139】

4つのブロック20A～20Dにおけるリフレッシュ動作がすべて完了すると、4つのリフレッシュ要求信号RFREQ0～RFREQ3（図18（k）～（

n)) が L レベルに戻る。リフレッシュカウンタコントローラ 9 0 (図 4) は、これらのリフレッシュ要求信号 R F R E Q 0 ~ R F R E Q 3 のレベル変化に応じて、カウントアップ信号 # C N T U P (図 1 8 (s)) を発生する。

【 0 1 4 0 】

このように、スタンバイサイクルでは、いずれのブロック 2 0 A ~ 2 0 D に対しても外部アクセスが無いので、4 つのブロック 2 0 A ~ 2 0 D において同時にリフレッシュ動作が実行される。

【 0 1 4 1 】

図 1 9 は、スヌーズ状態における各ブロックコントローラ 4 0 A ~ 4 0 D のリフレッシュ動作を示すタイミングチャートである。スヌーズ状態では、チップセレクト信号 # C S (図 1 9 (b)) が H レベル (非アクティブ) となり、かつ、スヌーズ信号 Z Z (図 1 9 (c)) が L レベルとなる。なお、スヌーズ状態では、A T D 信号 (図 1 9 (a)) は発生しない。

【 0 1 4 2 】

時刻 t 2 1 においてリフレッシュタイミング信号 R F T M (図 1 9 (j)) が立ち上がると、直ちに 4 つのブロック 2 0 A ~ 2 0 D に対するリフレッシュ要求信号 R F R E Q 0 ~ R F R E Q 3 (図 1 9 (k) ~ (n)) が H レベルに立ち上がる。スヌーズ状態では外部アクセスは行われないので、4 つのブロック 2 0 A ~ 2 0 D に対する外部アクセス実施信号 # E X 0 ~ # E X 3 (図 1 9 (f) ~ (i)) は H レベル (非アクティブ) に保持され、リフレッシュ実施信号 # R F 0 ~ # R F 3 (図 1 9 (o) ~ (r)) は L レベル (アクティブ) に立ち下がる。この結果、4 つのブロック 2 0 A ~ 2 0 D において、同じ n 番目のワード線上のすべてのメモリセルがリフレッシュされる。その後の動作は、図 1 8 に示したスタンバイサイクルのものと同一である。

【 0 1 4 3 】

以上のように、オペレーションサイクルやスタンバイサイクルにおいては、リフレッシュタイミング信号 R F T M によってリフレッシュ動作をすべきことが通知されると、A T D 信号に同期してリフレッシュ要求信号 R F R E Q 0 が発生し、これに応じてリフレッシュ動作が開始される (図 2 の第 1 のリフレッシュモー

ド)。一方、スヌーズ状態では、リフレッシュ動作の開始タイミングはA T D信号に同期しておらず、リフレッシュタイミング信号R F T Mによってリフレッシュ動作の開始時期が示されると、直ちに4つのブロック2 0 A ~ 2 0 Dにおいて同時にリフレッシュ動作が実行される(図2の第2のリフレッシュモード)。

【0 1 4 4】

なお、図1 8に示すように、本実施例のスタンバイサイクルでは、第1のリフレッシュモードに従ってリフレッシュ動作を行っているが、これに代えて、第2のリフレッシュモードに従ってリフレッシュ動作を行うようにしてもよい。こうすれば、スタンバイサイクルの期間中において、アドレスを定期的に変化させてA T D信号を発生させる必要がなくなるという利点がある。

【0 1 4 5】

E. 電子機器への適用例：

図2 0は、本発明による半導体メモリ装置を利用した電子機器の一実施例としての携帯電話機の斜視図である。この携帯電話機6 0 0は、本体部6 1 0と、蓋部6 2 0とを備えている。本体部6 1 0には、キーボード6 1 2と、液晶表示部6 1 4と、受話部6 1 6と、本体アンテナ部6 1 8とが設けられている。また、蓋部6 2 0には、送話部6 2 2が設けられている。

【0 1 4 6】

図2 1は、図2 0の携帯電話機6 0 0の電氣的構成を示すブロック図である。C P U 6 3 0には、バスラインを介して、キーボード6 1 2と、液晶表示部6 1 4を駆動するためのL C Dドライバ6 3 2と、S R A M 6 4 0と、V S R A M 6 4 2と、E E P R O M 6 4 4とが接続されている。

【0 1 4 7】

S R A M 6 4 0は、例えば高速なキャッシュメモリとして利用される。また、V S R A M 6 4 2は、例えば画像処理用の作業メモリとして利用される。このV S R A M 6 4 2(擬似S R A Mあるいは仮想S R A Mと呼ばれる)としては、上述したメモリチップ3 0 0を採用することができる。E E P R O M 6 4 4は、携帯電話機6 0 0の各種の設定値を格納するために利用される。

【0 1 4 8】

携帯電話機 6 0 0 の動作を一時的に停止させるときには、V S R A M 6 4 2 をスヌーズ状態に維持しておくことができる。こうすれば、V S R A M 6 4 2 が内部リフレッシュを自動的に行うので、V S R A M 6 4 2 内のデータを消失させずに保持しておくことが可能である。特に、本実施例のメモリチップ 3 0 0 は比較的大容量なので、画像データなどの大量のデータを長時間保持し続けることができるという利点がある。

【 0 1 4 9 】

なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【 0 1 5 0 】

(1) 上記実施例では、A T D 回路 (図 4) が設けられており、A T D 信号をブロックコントローラ 4 0 A ~ 4 0 D などのクロック信号として用いているが、これに代えて、外部装置からクロック信号を供給するようにしてもよい。

【 0 1 5 1 】

(2) 上記実施例では、メモリセルアレイ 2 0 は 4 つのブロック 2 0 A ~ 2 0 D に区分されているが、メモリセルアレイ 2 0 は 1 つのブロックとして扱われてもよい。この場合には、ワード線活性化制御部は、図 4 においてブロック毎に設けられている行プリデコーダ 3 0 A ~ 3 0 D と、ブロックコントローラ 4 0 A ~ 4 0 D と、リフレッシュ要求信号発生回路 5 0 A ~ 5 0 D とを、1 つずつ備えていればよい。なお、この場合には、アドレスは、ブロックアドレスを含まず、行アドレスおよび列アドレスを含むこととなる。

【 0 1 5 2 】

このように、メモリセルアレイ 2 0 が 1 つのブロックとして扱われる場合には、ワード線活性化制御部は、外部アクセスが要求されたときに、そのブロック内の行アドレスで選択されたワード線を活性化し、活性化したワード線を後続のサイクルで用いられるアドレスのうちの行アドレスが変化するまで保持すればよい。なお、同じ行アドレスを含むアドレスが用いられる後続のサイクルにおいて、異なる列アドレスが用いられる場合には、すでに活性化されたワード線上の異な

るメモリセルに対して外部アクセスが実施される。

【0153】

そして、リフレッシュを実行する場合には、外部アクセスを中止させて、活性化状態のワード線を非活性化させればよい。

【0154】

なお、外部アクセスの中止は、メモリチップ内部で強制的に行ってもよいし、外部装置（例えばCPU）が行ってもよい。すなわち、本実施例のワード線活性化制御部は、リフレッシュ制御部の機能を有し、これによりリフレッシュと外部アクセスとの調停を行っているが、外部装置がリフレッシュ制御部の機能を有していてもよい。外部装置は、半導体メモリ装置でリフレッシュが必要となったときには、メモリチップへのアクセスを中止すればよい。

【0155】

一般に、ワード線活性化制御部は、同じ行アドレスを含むアドレスを用いるオペレーションサイクルが連続する場合に、その連続するサイクルのうちの最初のサイクルにおいて活性化されたワード線を、非活性化することなく最終のサイクルまで活性化した状態で保持することが可能であればよい。これと同時に、ワード線活性化制御部は、最初のサイクルより後で最終のサイクル以前のサイクルにおいてリフレッシュが実行される場合には、活性化状態のワード線を、リフレッシュが実行される前に非活性化させることができるように構成されていればよい。

【0156】

なお、上記のように、メモリセルアレイ20が1つのブロックとして扱われる場合には、リフレッシュは、外部アクセスが実施されない期間中に実施される必要がある。しかしながら、上記実施例のように、メモリセルアレイを複数のブロックに区分すれば、1つのブロックにおいて外部アクセスが実施される期間中に、他のブロックにおいてリフレッシュを実施することが可能となり（リフレッシュの透過性）、この結果、データの読み出しまたは書き込みを比較的高速に行うことが可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施例としてのメモリチップ 3 0 0 の端子の構成を示す説明図である。

【図 2】

チップセレクト信号 # C S とスヌーズ信号 Z Z の信号レベルに応じたメモリチップ 3 0 0 の動作状態の区分を示す説明図である。

【図 3】

メモリチップ 3 0 0 の動作の概要を示すタイミングチャートである。

【図 4】

メモリチップ 3 0 0 の内部構成を示すブロック図である。

【図 5】

A T D 回路 1 1 0 の内部構成を示すブロック図である。

【図 6】

図 4 の第 1 のブロックコントローラ 4 0 A の内部構成を示すブロック図である。

【図 7】

図 6 の外部アクセス実施信号発生回路 4 2 の内部構成を示すブロック図である。

【図 8】

図 4 の第 1 の行プリデコーダ 3 0 A の内部構成を示すブロック図である。

【図 9】

オペレーションサイクルにおける第 1 のブロックコントローラ 4 0 A (図 6) の動作を示すタイミングチャートである。

【図 1 0】

図 9 に示すオペレーションサイクルにおける各ブロックコントローラ 4 0 A ~ 4 0 D の動作を示すタイミングチャートである。

【図 1 1】

図 1 0 に示すオペレーションサイクルにおけるワード線の状態を示すタイミングチャートである。

【図 1 2】

図 1 1 の各オペレーションサイクルにおける各サブアレイ 2 2 A ~ 2 2 D 内の活性化されたワード線を模式的に示す説明図である。

【図 1 3】

オペレーションサイクルにおいてリフレッシュ要求があった場合の第 1 のブロックコントローラ 4 0 A (図 6) の動作を示すタイミングチャートであり、図 9 に対応する図である。

【図 1 4】

図 1 3 に示すオペレーションサイクルにおける各ブロックコントローラ 4 0 A ~ 4 0 D の動作を示すタイミングチャートであり、図 1 0 に対応する図である。

【図 1 5】

図 4 のリフレッシュカウンタコントローラ 9 0 の内部構成を示すブロック図である。

【図 1 6】

図 1 5 に示すオペレーションサイクルにおけるワード線の状態を示すタイミングチャートであり、図 1 1 に対応する図である。

【図 1 7】

図 1 6 の各オペレーションサイクルにおける各サブアレイ 2 2 A ~ 2 2 D 内の活性化されたワード線を模式的に示す説明図であり、図 1 2 に対応する図である。

【図 1 8】

スタンバイサイクルにおける各ブロックコントローラ 4 0 A ~ 4 0 D のリフレッシュ動作を示すタイミングチャートである。

【図 1 9】

スヌーズ状態における各ブロックコントローラ 4 0 A ~ 4 0 D のリフレッシュ動作を示すタイミングチャートである。

【図 2 0】

本発明による半導体メモリ装置を利用した電子機器の一実施例としての携帯電話機の斜視図である。

【図 2 1】

図 2 0 の携帯電話機 6 0 0 の電氣的構成を示すブロック図である。

【符号の説明】

- 1 0 …データ入出力バッファ
- 2 0 …メモリセルアレイ
- 2 0 A ~ 2 0 D …ブロック
- 2 2 A ~ 2 2 D …メモリサブアレイ
- 2 4 A ~ 2 4 D …行デコーダ
- 2 6 A ~ 2 6 D …列デコーダ
- 2 8 A ~ 2 8 D …ゲート
- 3 0 A ~ 3 0 D …行プリデコーダ
- 3 4 , 3 6 …スイッチ&ラッチ回路
- 3 8 …判定回路
- 4 0 A ~ 4 0 D …ブロックコントローラ
- 4 2 …外部アクセス実施信号発生回路
- 4 4 …リフレッシュ実施信号発生回路
- 4 6 …リセット信号発生回路
- 5 0 A ~ 5 0 D …リフレッシュ要求信号発生回路
- 6 0 …アドレスバッファ
- 1 1 0 …A T D 回路
- 7 0 …リフレッシュタイマ
- 9 0 …リフレッシュカウンタコントローラ
- 9 2 …4 入力NORゲート
- 9 4 …NANDゲート
- 9 6 …遅延回路
- 9 8 …インバータ
- 1 0 0 …リフレッシュカウンタ
- 1 1 0 …アドレス遷移検出回路 (A T D 回路)
- 1 1 1 …遷移検出回路

112…インバータ
113, 114…パルス発生回路
115…ORゲート
118…12入力ORゲート
130…行アドレス遷移検出回路(RATD回路)
300…メモリチップ
410…RSラッチ
411…インバータ
420…セット信号生成回路
421…インバータ
422…デコーダ
423…3入力ANDゲート
424…パルス発生回路
430…リセット信号生成回路
431…インバータ
432…ANDゲート
434, 438…パルス発生回路
436…3入力ORゲート
600…携帯電話機
610…本体部
612…キーボード
614…液晶表示部
616…受話部
618…本体アンテナ部
620…蓋部
622…送話部
630…CPU
632…LCDドライバ
640…SRAM

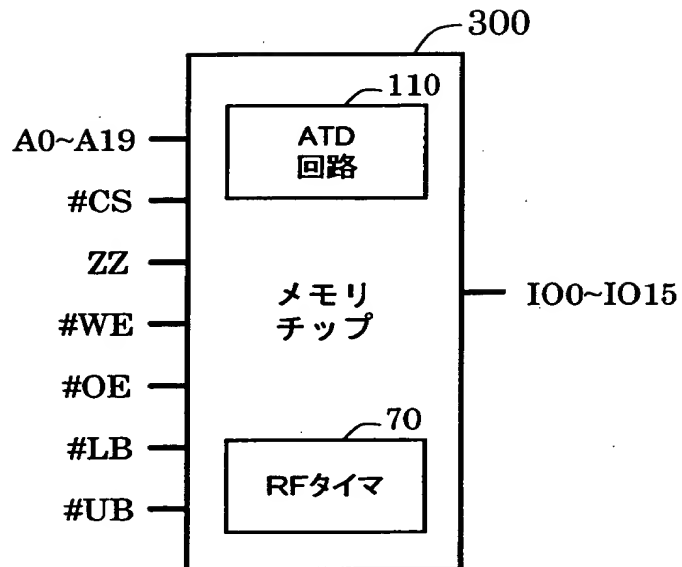
特 2 0 0 0 - 3 2 8 1 1 0

6 4 2 … V S R A M

6 4 4 … E E P R O M

【書類名】 図面

【図 1】



【図 2】

	#CS	ZZ	リフレッシュ モード (注)
オペレーション	L	H	モード1
スタンバイ	H	H	モード1
スヌーズ (パワーダウン)	H	L	モード2

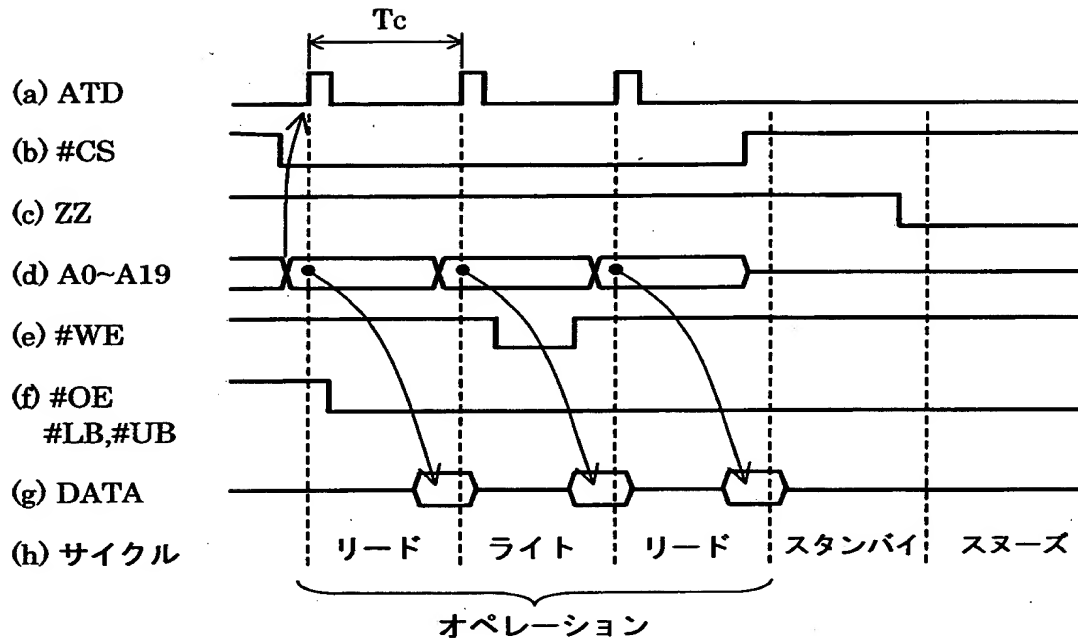
(注)

リフレッシュモード1: メモリチップ内部でリフレッシュタイミング信号が発生した後に、ATD信号に同期してリフレッシュを実行する

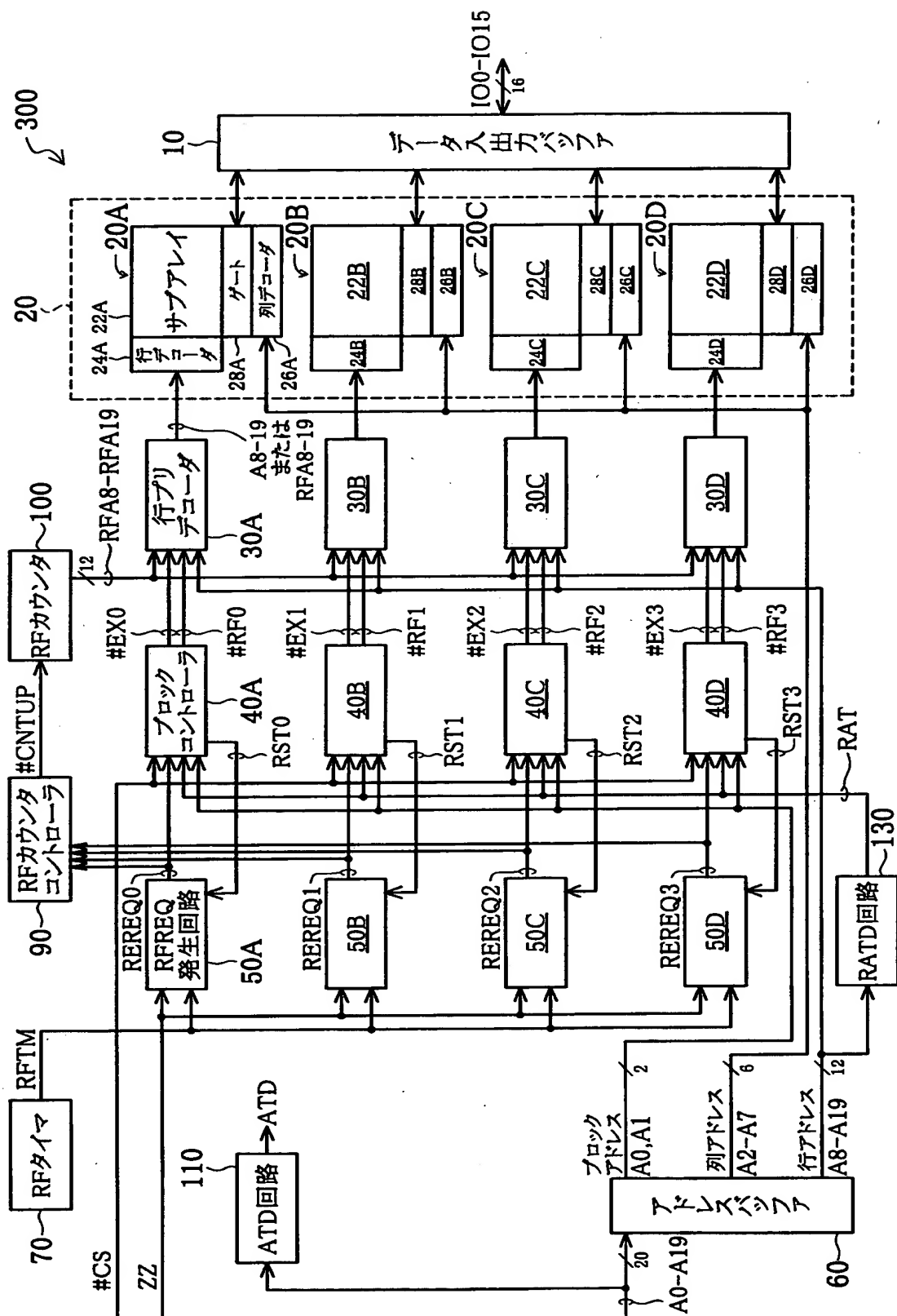
リフレッシュモード2: メモリチップ内部でのリフレッシュタイミング信号の発生に応じてリフレッシュを実行する
(アドレス入力は不要)

【図 3】

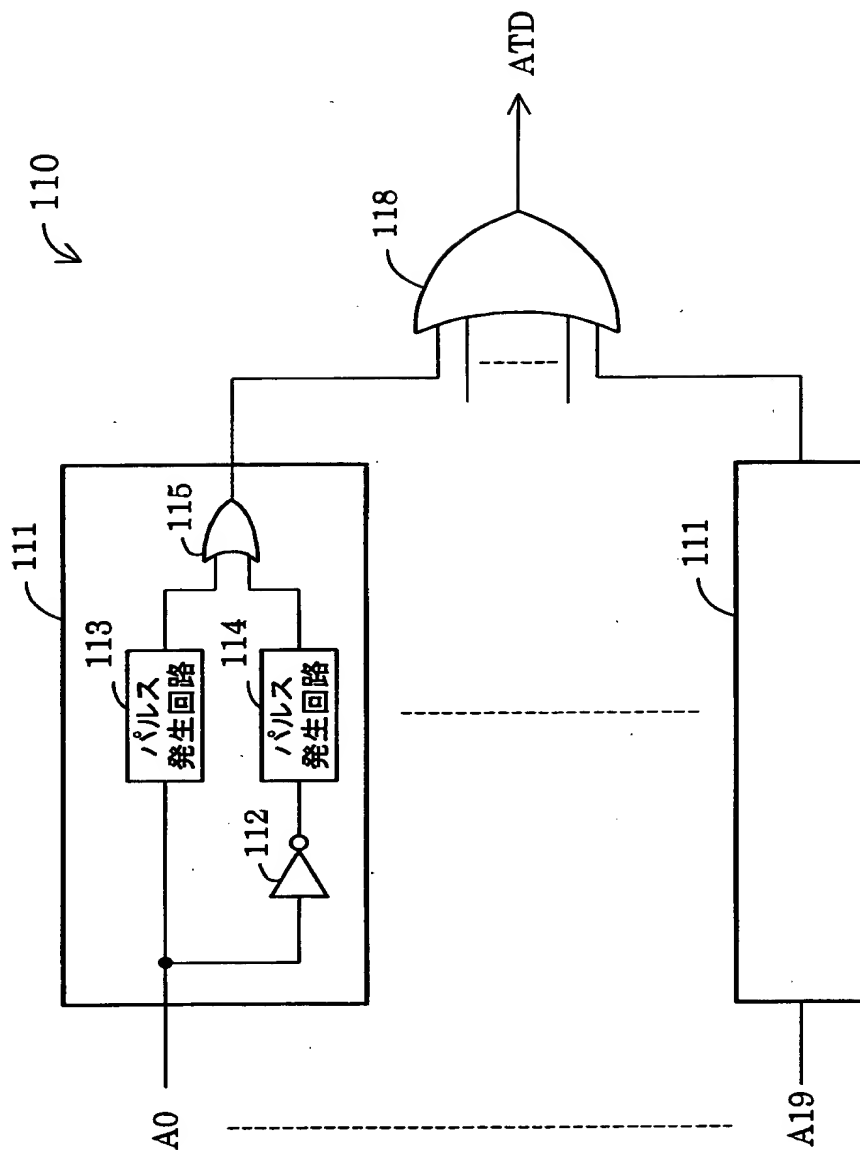
動作の概要



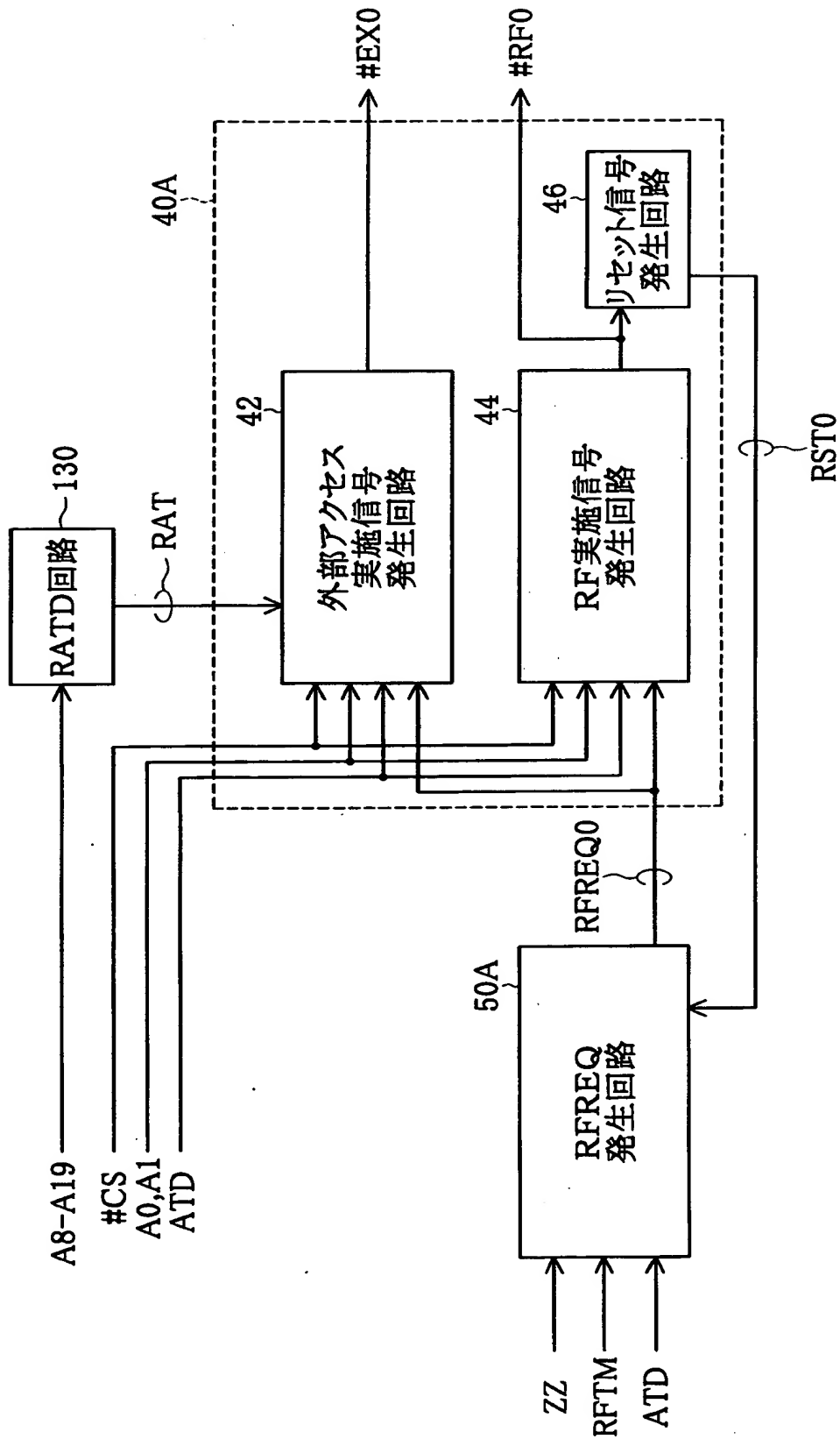
【図 4】



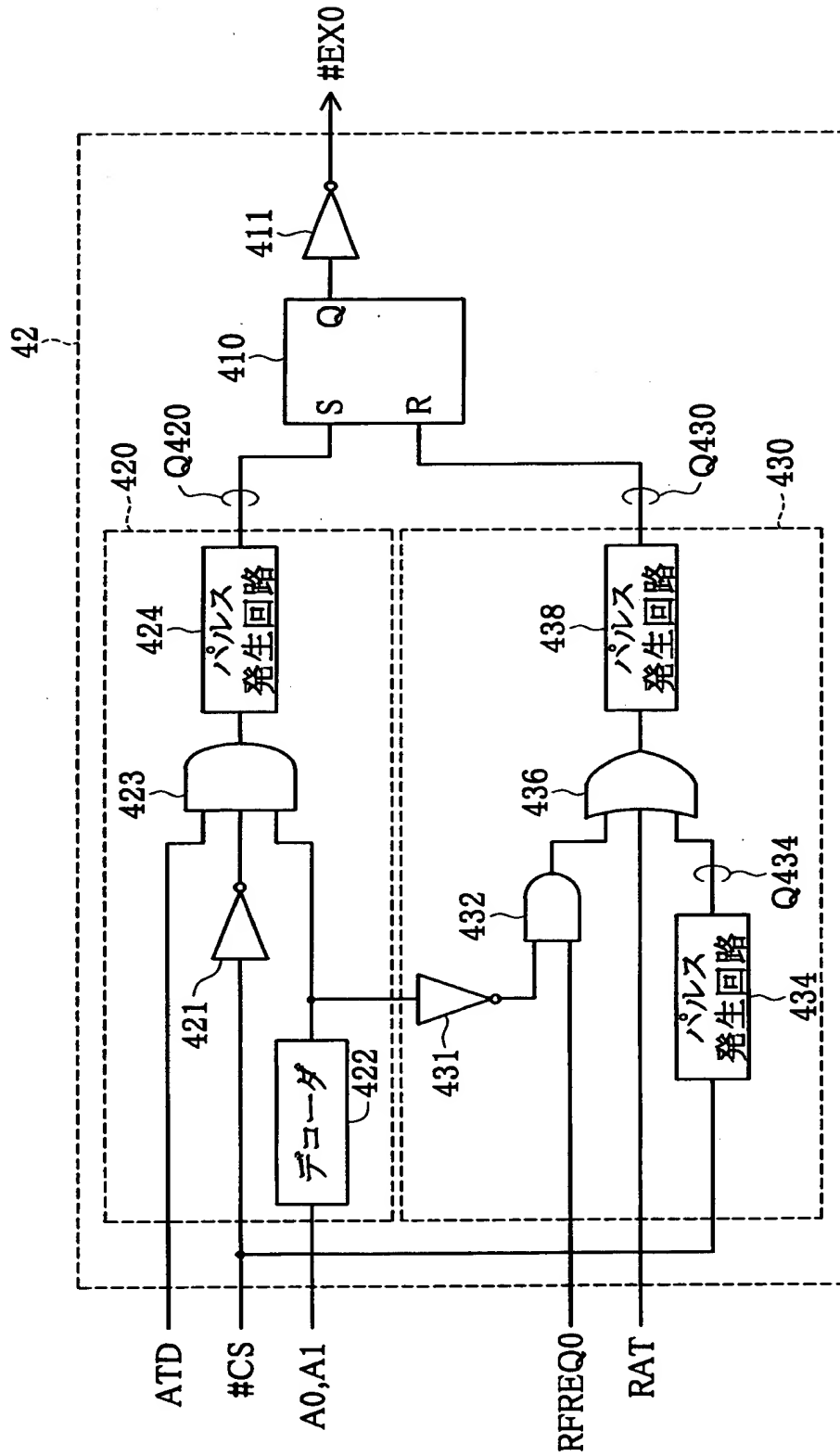
【図 5】



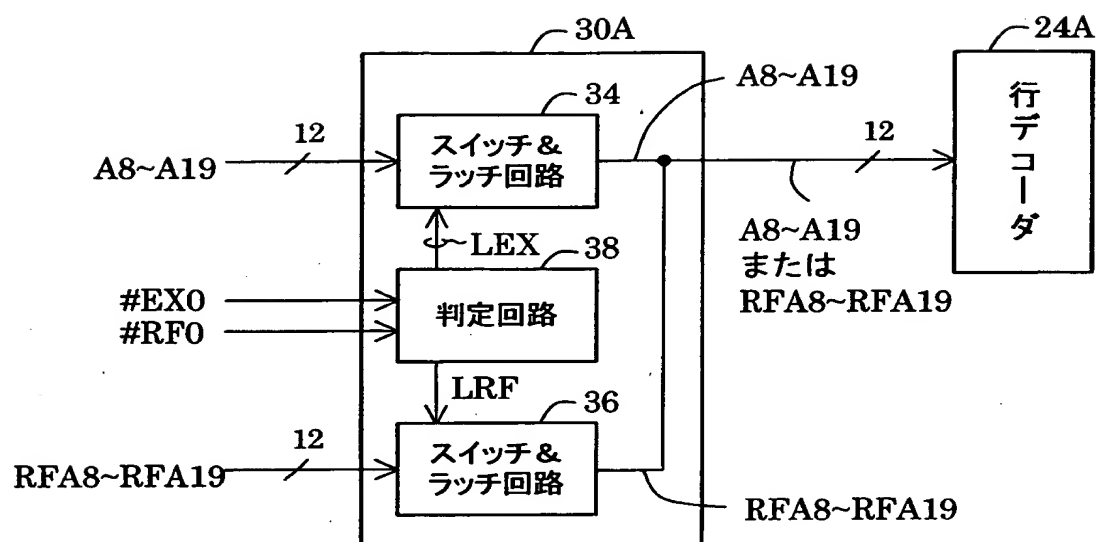
【図 6】



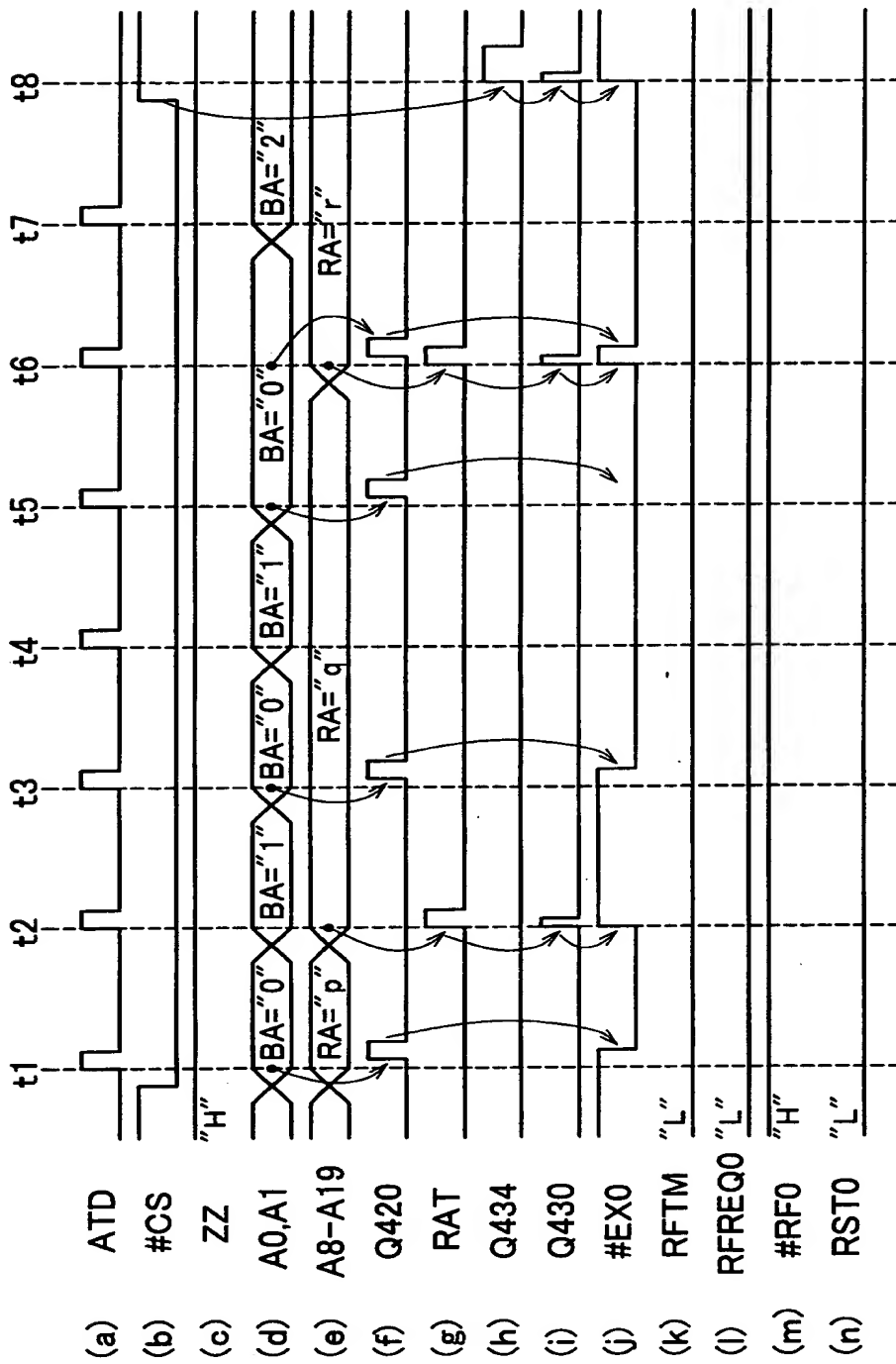
【図7】



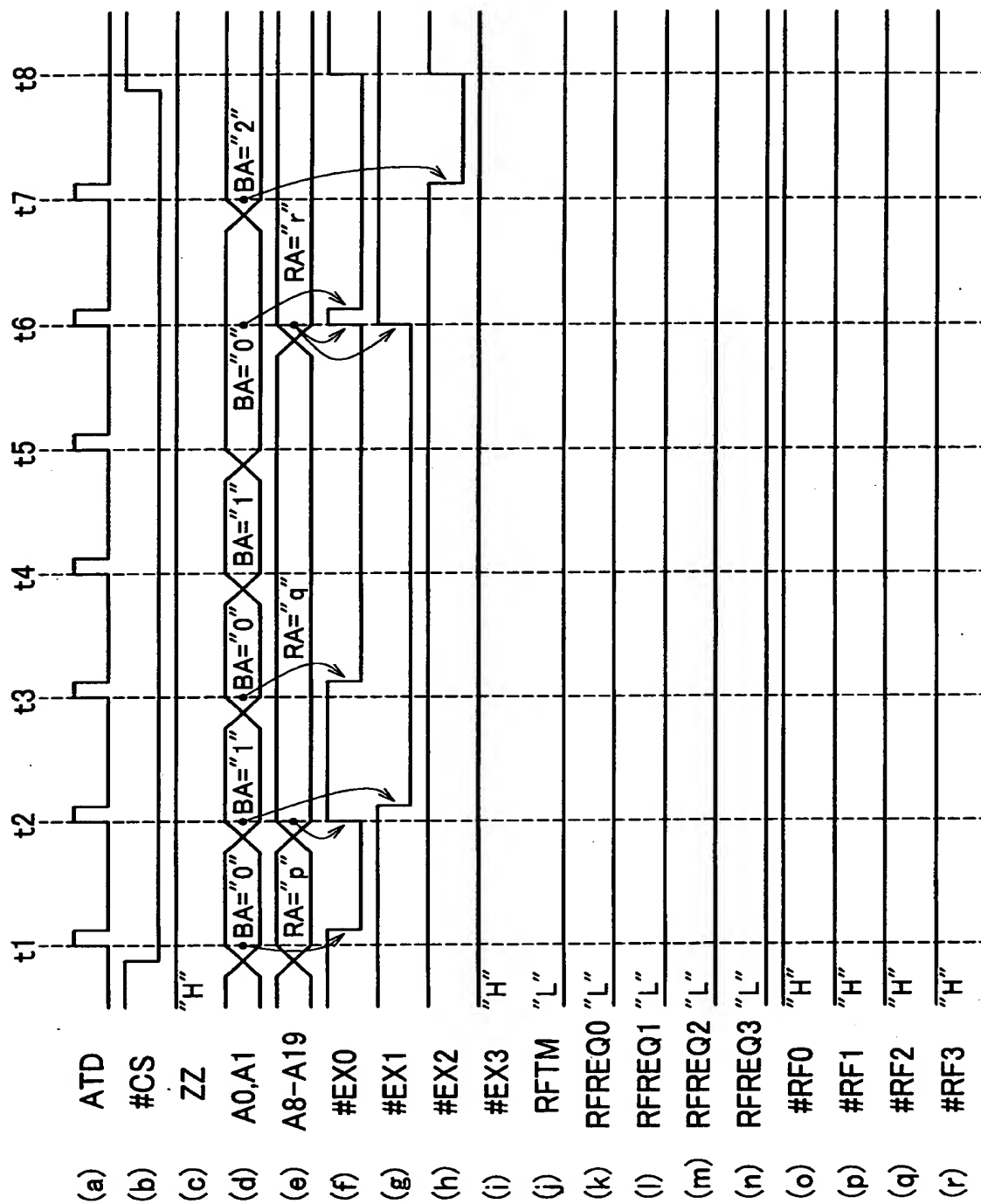
【図 8】



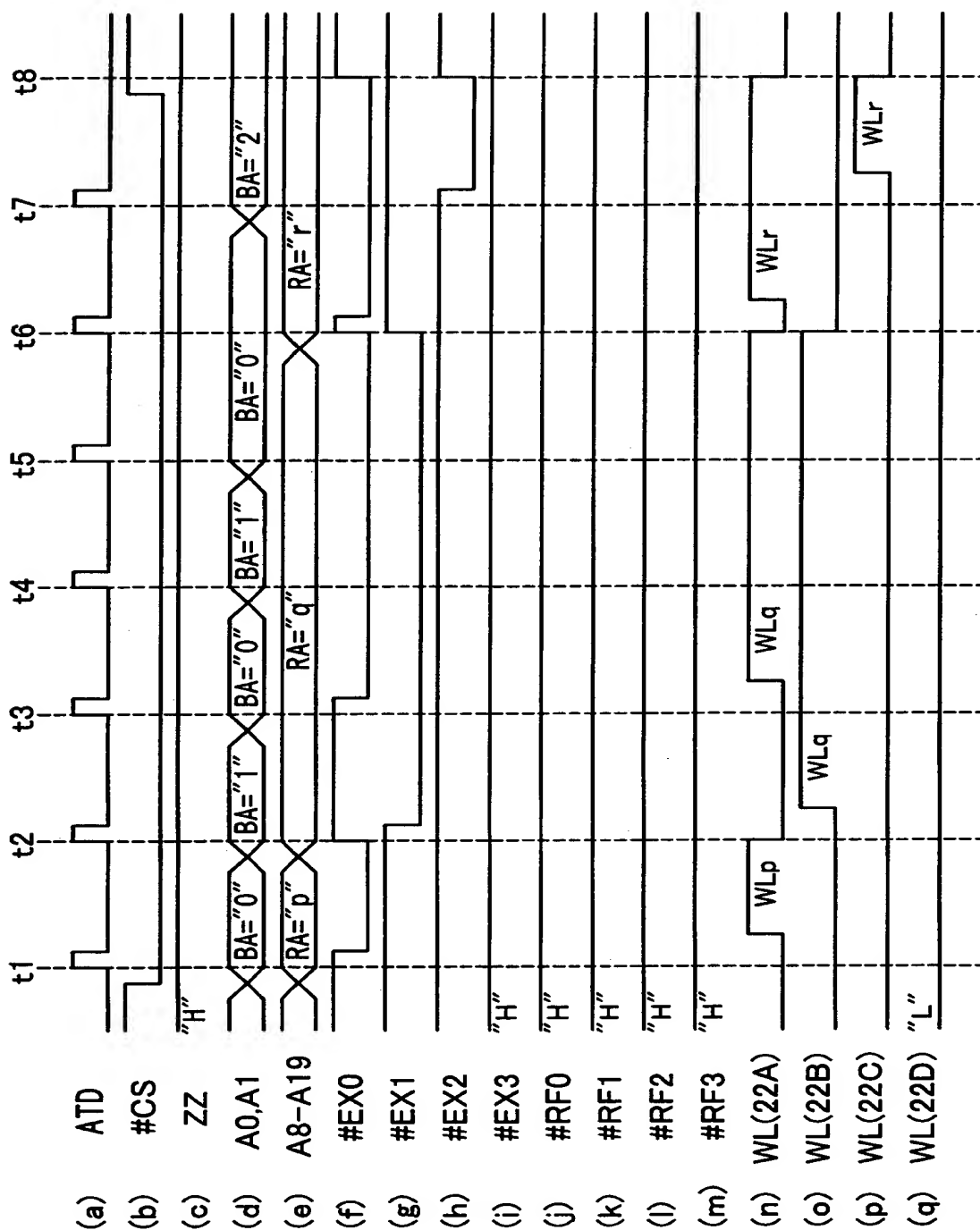
【図 9】



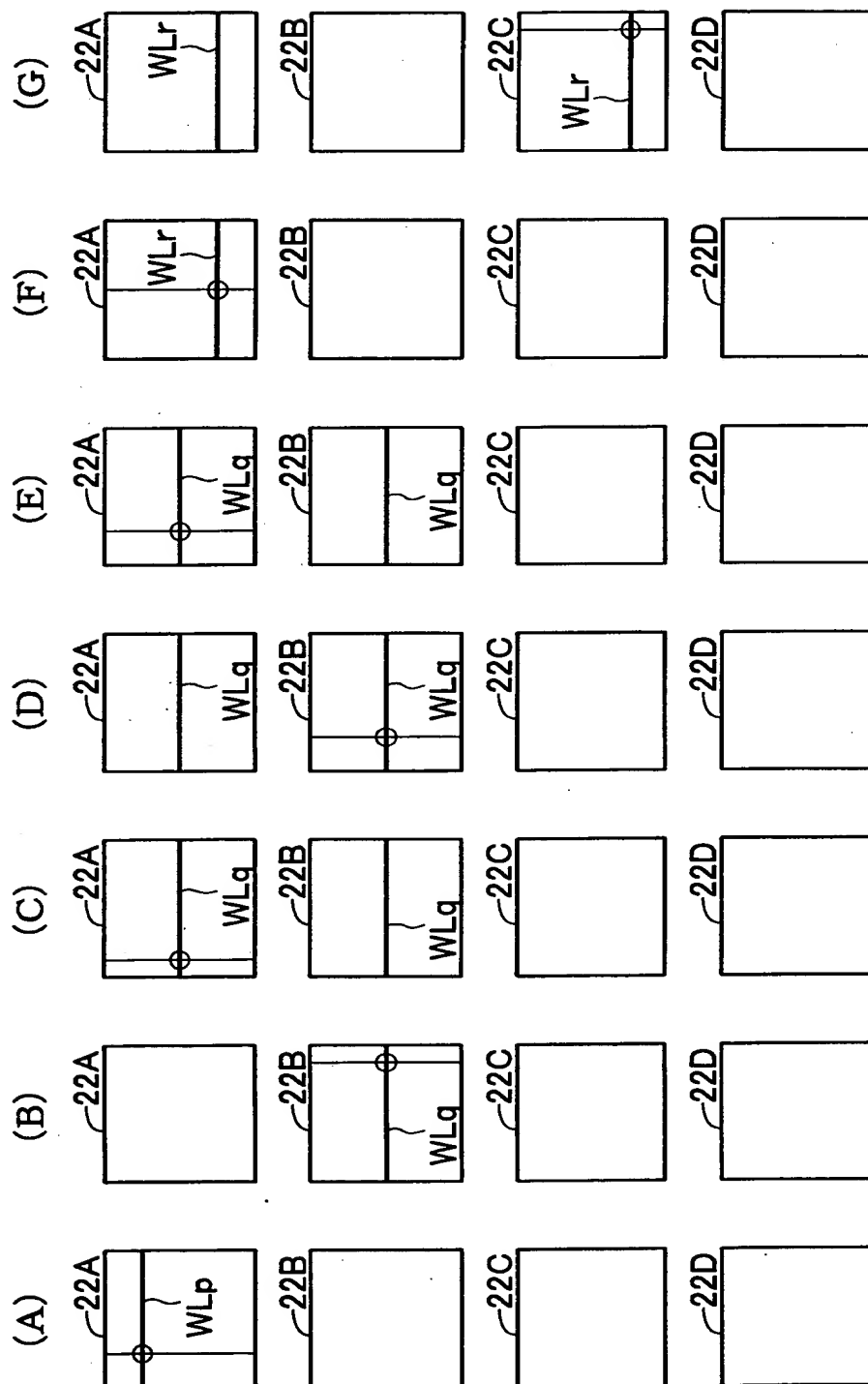
【図 10】



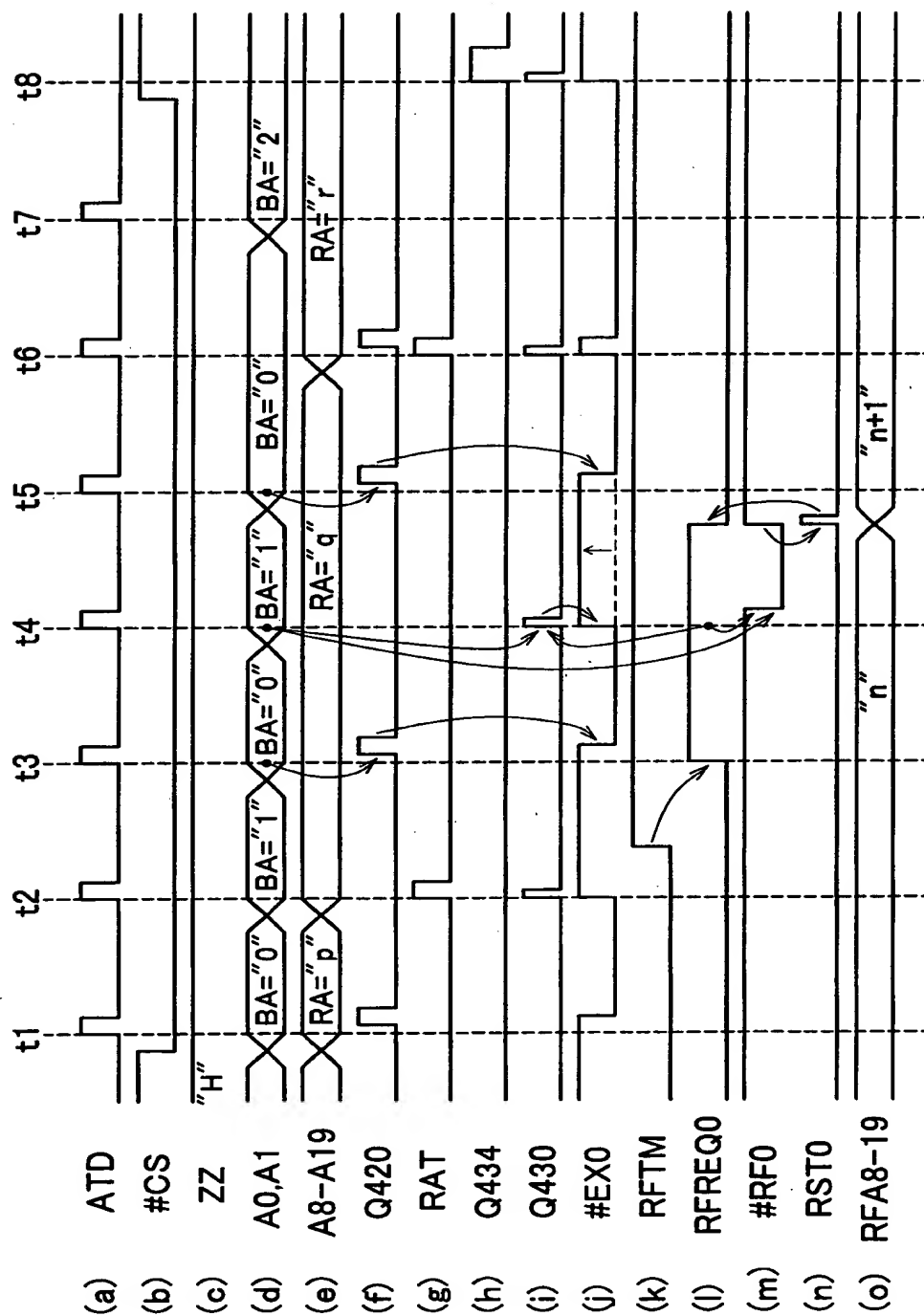
【図 11】



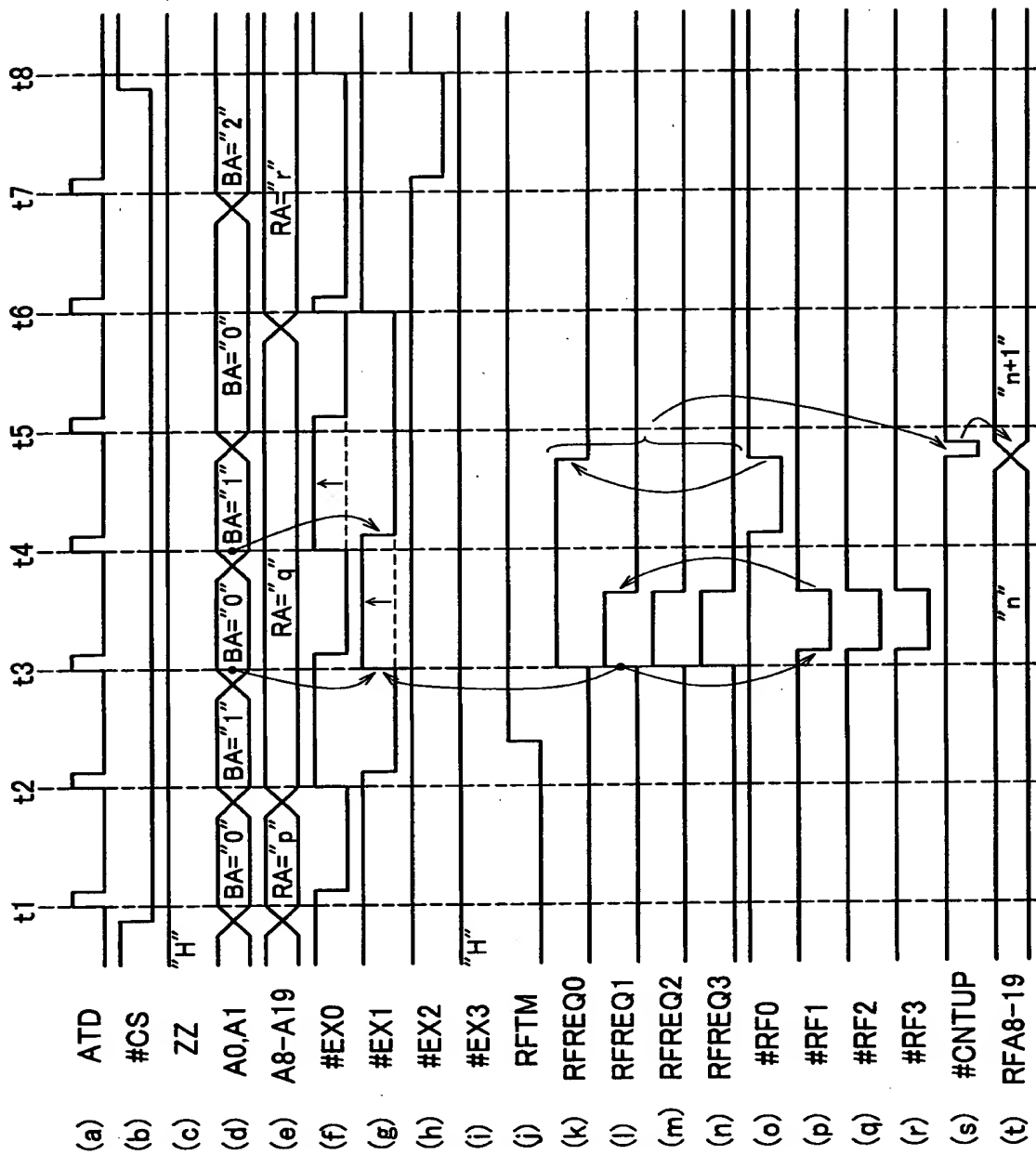
【図 1 2】



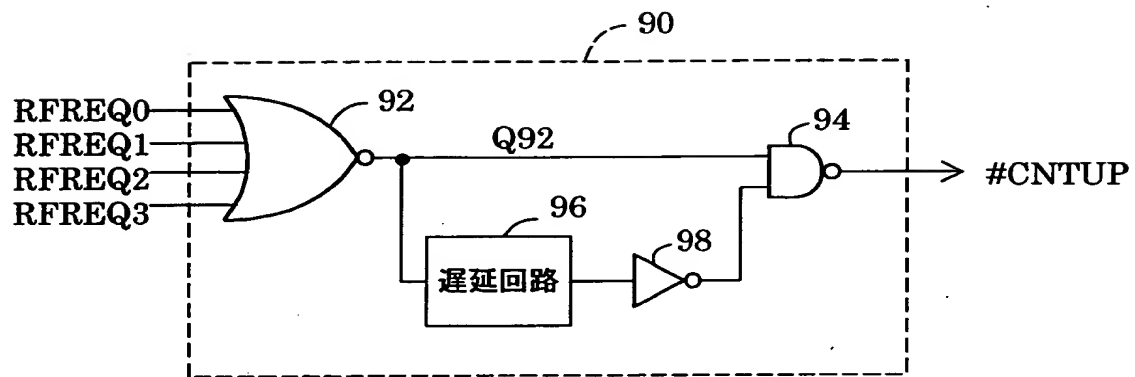
【図 13】



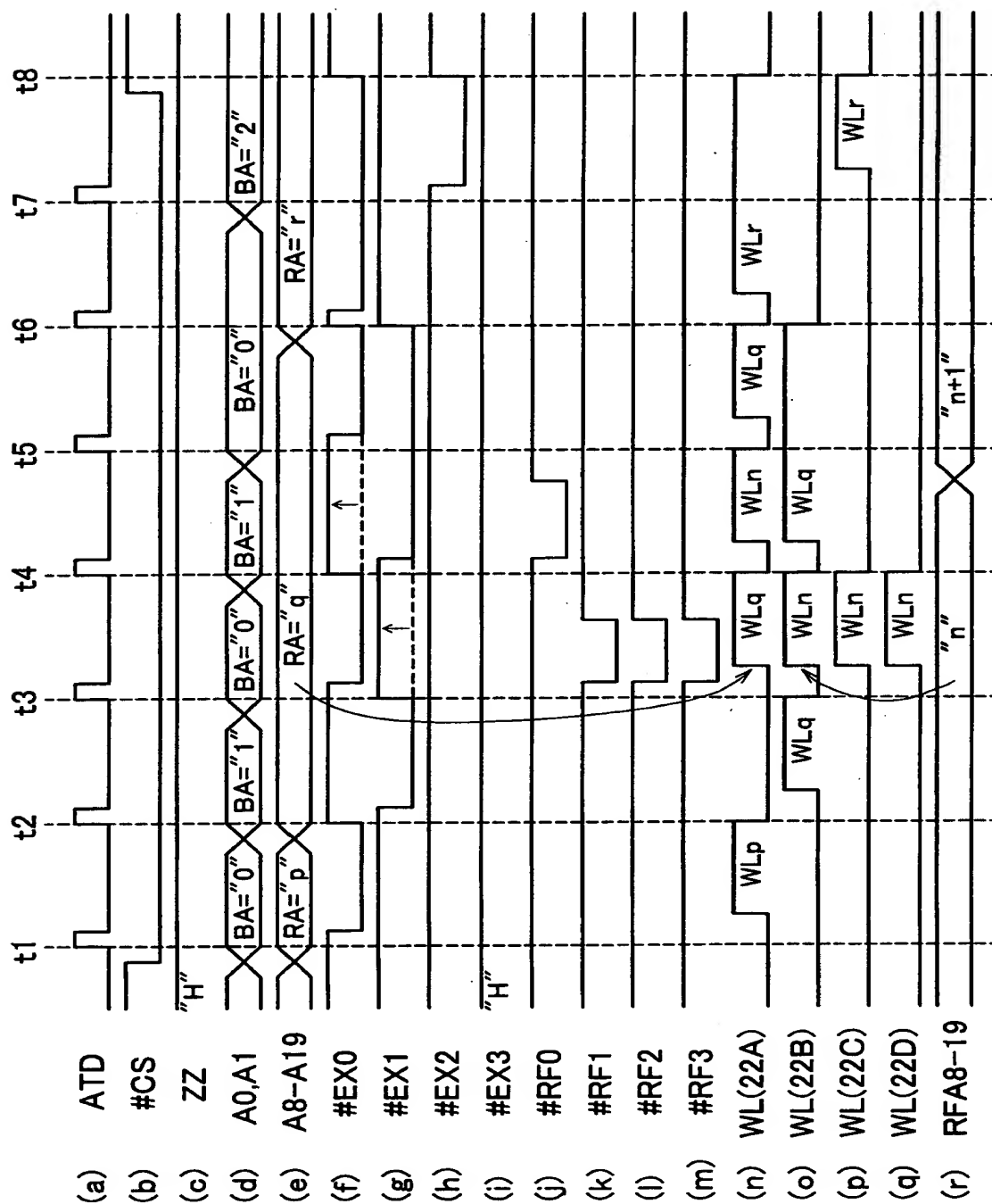
【図 14】



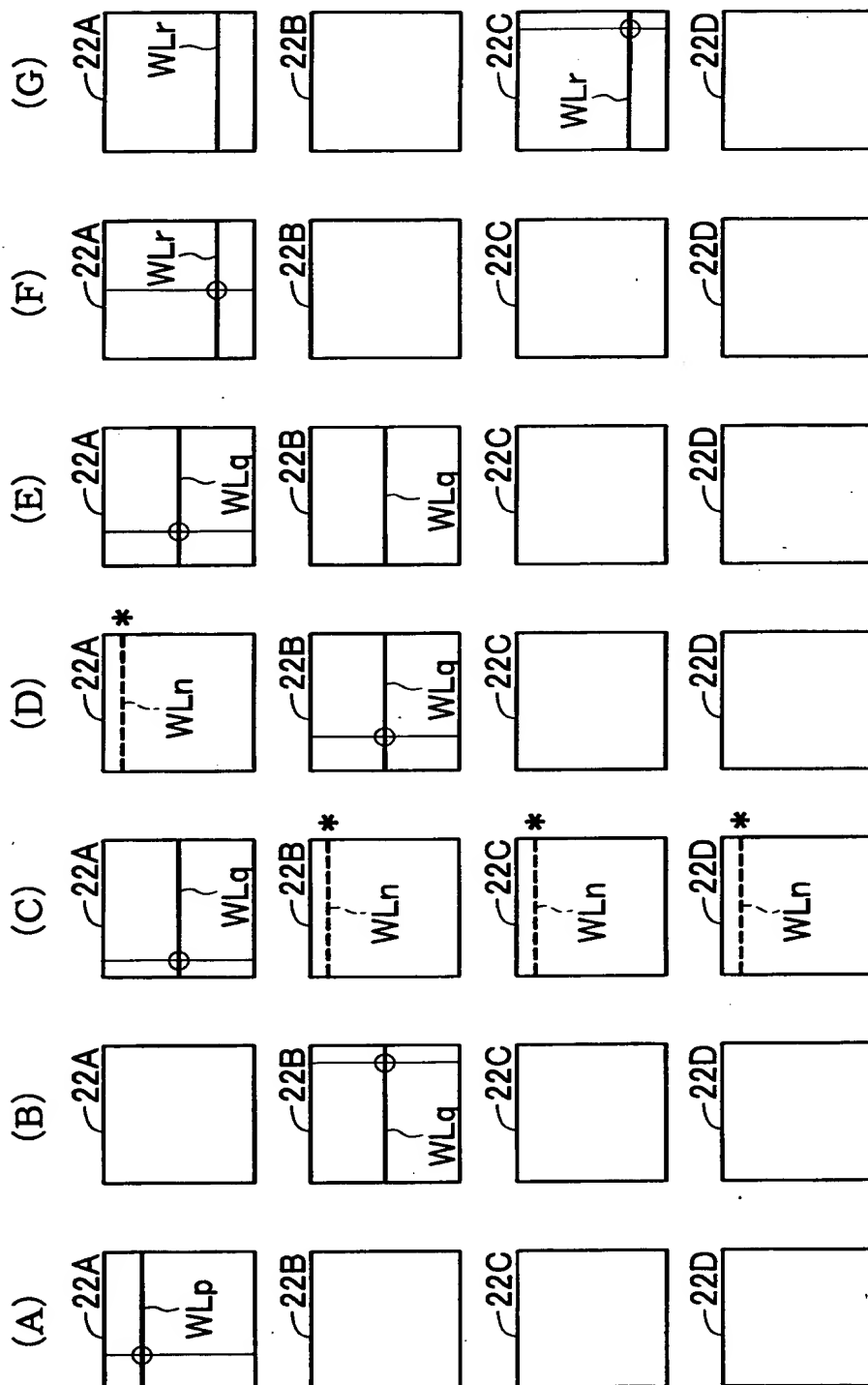
【図 1 5】



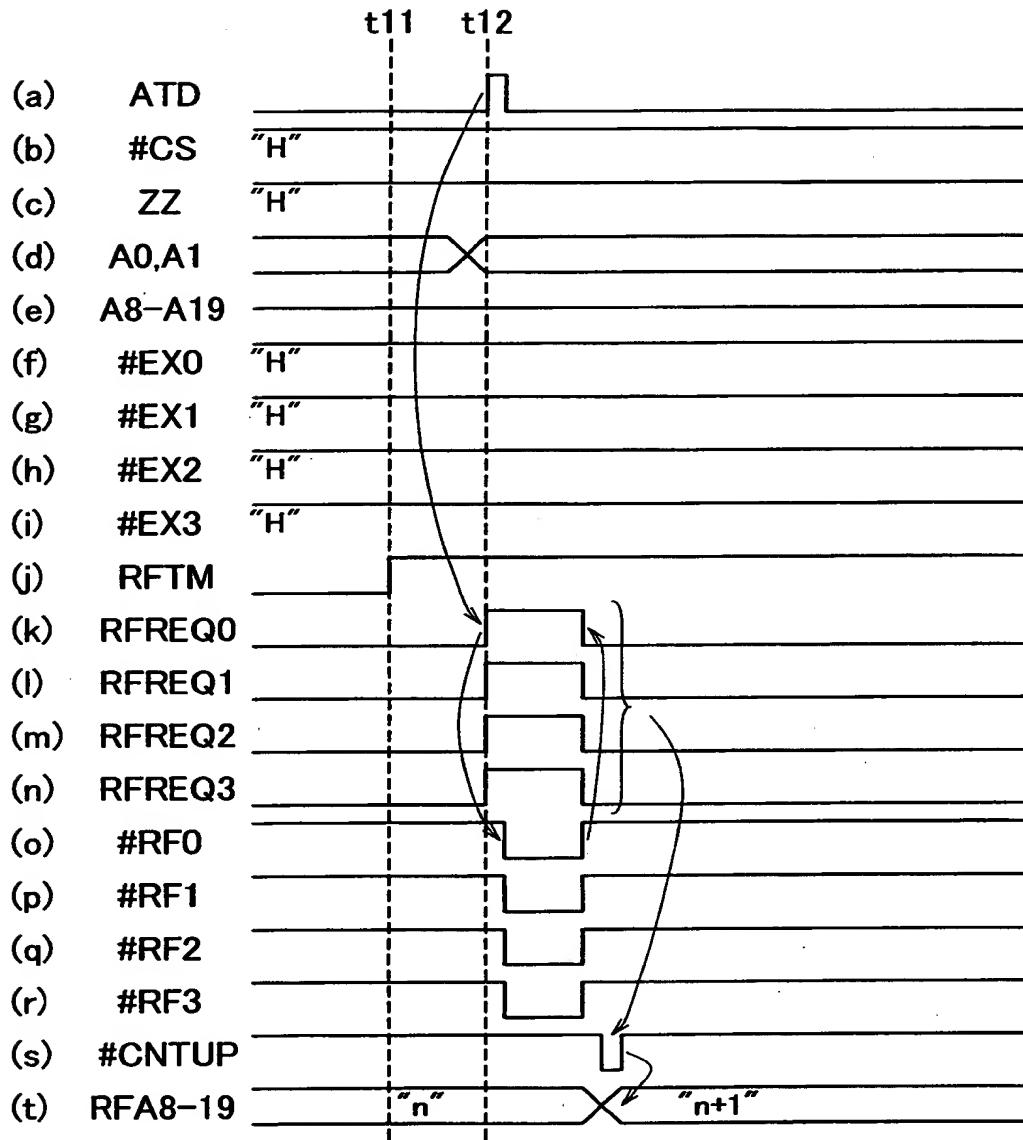
【図 16】



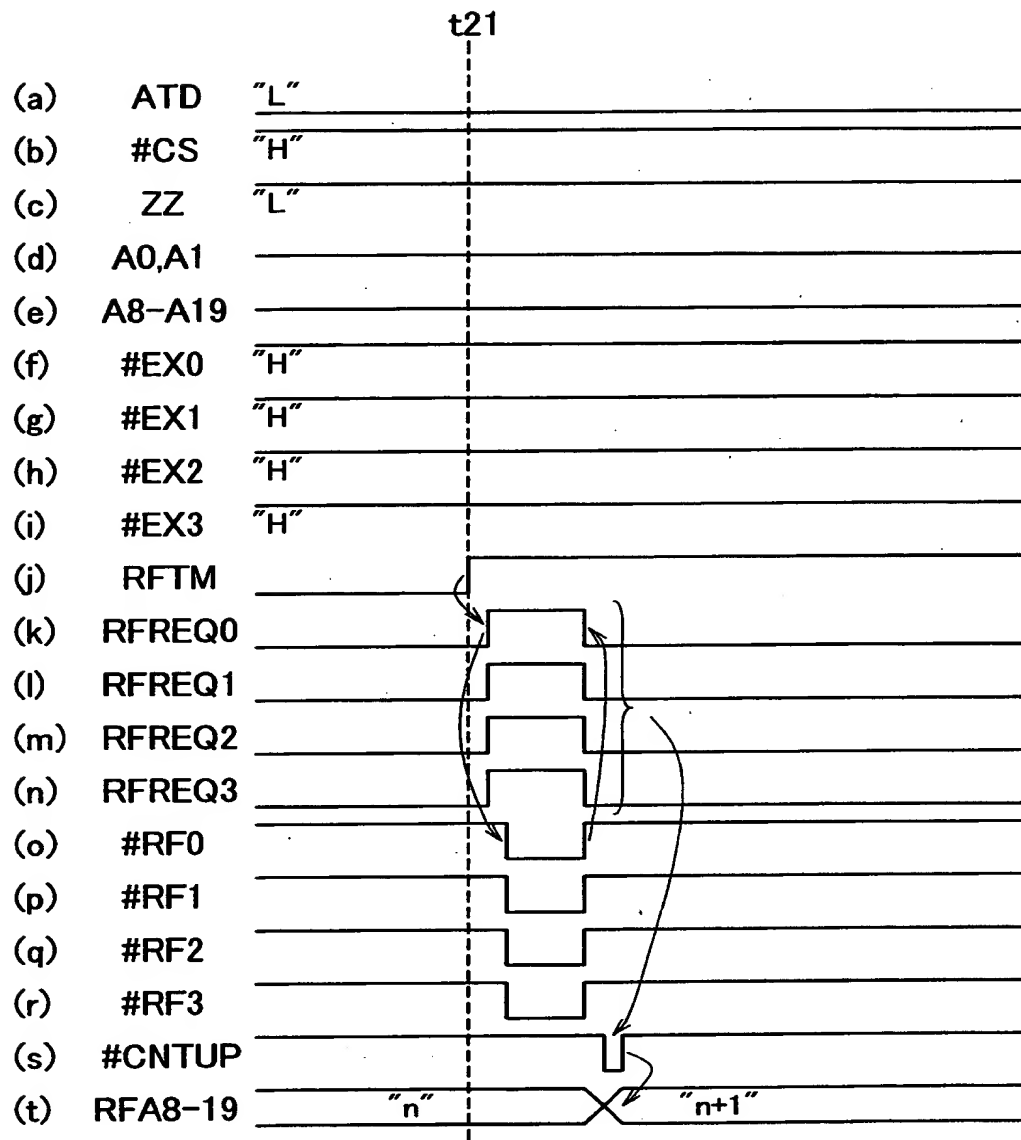
【図 17】



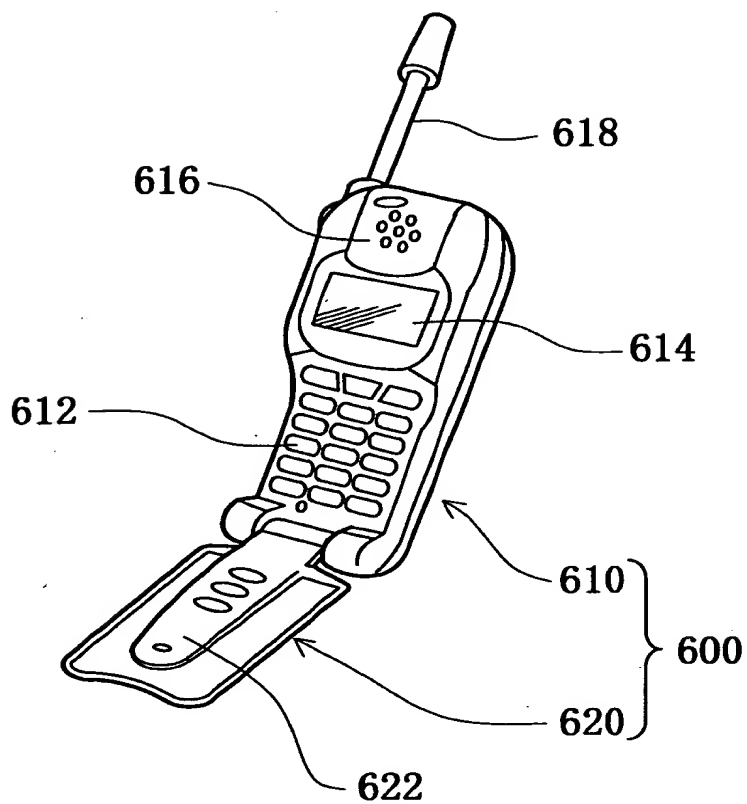
【図 18】



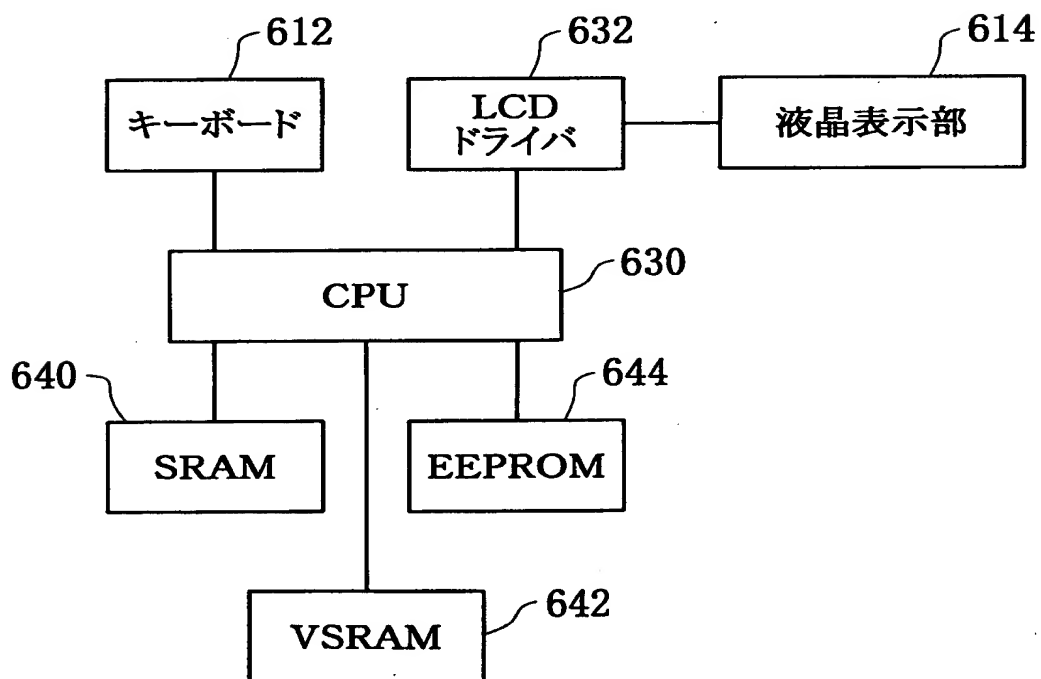
【図 19】



【図 2 0】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 半導体メモリ装置内のワード線の活性化に伴う消費電流を低減することのできる技術を提供する。

【解決手段】 半導体メモリ装置は、ワード線の活性化を制御するためのワード線活性化制御部を備える。ワード線活性化制御部は、同じ行アドレスを含むアドレスを用いるオペレーションサイクルが連続する場合に、連続するサイクルのうちの最初のサイクルにおいて活性化されたワード線を、非活性化することなく連続するサイクルのうちの最終のサイクルまで活性化した状態で保持することが可能である。そして、最初のサイクルより後で最終のサイクル以前のサイクルにおいてリフレッシュが実行される場合には、活性化状態のワード線を、リフレッシュが実行される前に非活性化させることができる。

【選択図】 図 1 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

1. 変更年月日	1 9 9 0 年 8 月 2 0 日
[変更理由]	新規登録
住 所	東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名	セイコーエプソン株式会社